

PATENT COOPERATION TREATY

PCT

NOTIFICATION CONCERNING SUBMISSION OR TRANSMITTAL OF PRIORITY DOCUMENT

(PCT Administrative Instructions, Section 411)

From the INTERNATIONAL BUREAU

To:

KOIKE, Akira
No.11 Mori Bldg., 6-4, Toranomom 2-
chome
Minato-ku, Tokyo 105-0001
JAPON

Date of mailing (day/month/year) 11 June 2001 (11.06.01)	IMPORTANT NOTIFICATION
Applicant's or agent's file reference SK01PCT68	
International application No. PCT/JP01/03873	
International publication date (day/month/year) Not yet published	
Applicant SONY CORPORATION et al	

- The applicant is hereby notified of the date of receipt (except where the letters "NR" appear in the right-hand column) by the International Bureau of the priority document(s) relating to the earlier application(s) indicated below. Unless otherwise indicated by an asterisk appearing next to a date of receipt, or by the letters "NR", in the right-hand column, the priority document concerned was submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b).
- This updates and replaces any previously issued notification concerning submission or transmittal of priority documents.
- An **asterisk(*)** appearing next to a date of receipt, in the right-hand column, denotes a priority document submitted or transmitted to the International Bureau but not in compliance with Rule 17.1(a) or (b). In such a case, **the attention of the applicant is directed** to Rule 17.1(c) which provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.
- The **letters "NR"** appearing in the right-hand column denote a priority document which was not received by the International Bureau or which the applicant did not request the receiving Office to prepare and transmit to the International Bureau, as provided by Rule 17.1(a) or (b), respectively. In such a case, **the attention of the applicant is directed** to Rule 17.1(c) which provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.

<u>Priority date</u>	<u>Priority application No.</u>	<u>Country or regional Office or PCT receiving Office</u>	<u>Date of receipt of priority document</u>
09 May 2000 (09.05.00)	2000-135356	JP	28 May 2001 (28.05.01)
09 May 2000 (09.05.00)	2000-135357	JP	28 May 2001 (28.05.01)

The International Bureau of WIPO
34, chemin des Colombettes
1211 Geneva 20, Switzerland

Facsimile No. (41-22) 740.14.35

Authorized officer

Y. KUWABARA 

Telephone No. (41-22) 338.83.38

PATENT COOPERATION TREATY

PCT

NOTICE INFORMING THE APPLICANT OF THE
COMMUNICATION OF THE INTERNATIONAL
APPLICATION TO THE DESIGNATED OFFICES

(PCT Rule 47.1(c), first sentence)

From the INTERNATIONAL BUREAU

To:

KOIKE, Akira
No.11 Mori Bldg., 6-4, Toranomom 2-
chome
Minato-ku, Tokyo 105-0001
JAPON

Date of mailing (day/month/year) 15 November 2001 (15.11.01)		
Applicant's or agent's file reference SK01PCT68		IMPORTANT NOTICE
International application No. PCT/JP01/03873	International filing date (day/month/year) 09 May 2001 (09.05.01)	
		Priority date (day/month/year) 09 May 2000 (09.05.00)
Applicant SONY CORPORATION et al		

1. Notice is hereby given that the International Bureau has **communicated**, as provided in Article 20, the international application to the following designated Offices on the date indicated above as the date of mailing of this notice:

KR,US

In accordance with Rule 47.1(c), third sentence, those Offices will accept the present notice as conclusive evidence that the communication of the international application has duly taken place on the date of mailing indicated above and no copy of the international application is required to be furnished by the applicant to the designated Office(s).

2. The following designated Offices have waived the requirement for such a communication at this time:

CN,EP

The communication will be made to those Offices only upon their request. Furthermore, those Offices do not require the applicant to furnish a copy of the international application (Rule 49.1(a-bis)).

3. Enclosed with this notice is a copy of the international application as published by the International Bureau on 15 November 2001 (15.11.01) under No. WO 01/86820

REMINDER REGARDING CHAPTER II (Article 31(2)(a) and Rule 54.2)

If the applicant wishes to postpone entry into the national phase until 30 months (or later in some Offices) from the priority date, a **demand for international preliminary examination** must be filed with the competent International Preliminary Examining Authority before the expiration of 19 months from the priority date.

It is the applicant's sole responsibility to monitor the 19-month time limit.

Note that only an applicant who is a national or resident of a PCT Contracting State which is bound by Chapter II has the right to file a demand for international preliminary examination (at present, all PCT Contracting States are bound by Chapter II).

REMINDER REGARDING ENTRY INTO THE NATIONAL PHASE (Article 22 or 39(1))

If the applicant wishes to proceed with the international application in the **national phase**, he must, within 20 months or 30 months, or later in some Offices, perform the acts referred to therein before each designated or elected Office.

For further important information on the time limits and acts to be performed for entering the national phase, see the Annex to Form PCT/IB/301 (Notification of Receipt of Record Copy) and the PCT Applicant's Guide, Volume II.

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland	Authorized officer J. Zahra
Facsimile No. (41-22) 740.14.35	Telephone No. (41-22) 338.91.11

PATENT COOPERATION TREATY

From the INTERNATIONAL BUREAU

PCT

NOTIFICATION OF RECEIPT OF RECORD COPY

(PCT Rule 24.2(a))

To:

KOIKE, Akira
No.11 Mori Bldg., 6-4, Toranomom 2-
chome
Minato-ku, Tokyo 105-0001
JAPON

Date of mailing (day/month/year) 11 June 2001 (11.06.01)	IMPORTANT NOTIFICATION
Applicant's or agent's file reference SK01PCT68	International application No. PCT/JP01/03873

The applicant is hereby notified that the International Bureau has received the record copy of the international application as detailed below.

Name(s) of the applicant(s) and State(s) for which they are applicants:

SONY CORPORATION (for all designated States except US)

KONDO, Tetsujiro et al (for US)

International filing date : 09 May 2001 (09.05.01)
Priority date(s) claimed : 09 May 2000 (09.05.00)
09 May 2000 (09.05.00)

Date of receipt of the record copy
by the International Bureau : 28 May 2001 (28.05.01)

List of designated Offices :

EP : AT,BE,CH,CY,DE,DK,ES,FI,FR,GB,GR,IE,IT,LU,MC,NL,PT,SE,TR
National : CN,KR,US

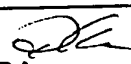
ATTENTION

The applicant should carefully check the data appearing in this Notification. In case of any discrepancy between these data and the indications in the international application, the applicant should immediately inform the International Bureau.

In addition, the applicant's attention is drawn to the information contained in the Annex, relating to:

- ☒ time limits for entry into the national phase
- ☒ confirmation of precautionary designations
- ☐ requirements regarding priority documents

A copy of this Notification is being sent to the receiving Office and to the International Searching Authority.

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland Facsimile No. (41-22) 740.14.35	Authorized officer:  Y. KUWAHARA Telephone No. (41-22) 338.83.38
--------------------------------------------------------------------------------------------------------------------------------------	--------------------------------------------------------------------------------------------------------------------------------------------------------------------

INFORMATION ON TIME LIMITS FOR ENTERING THE NATIONAL PHASE

The applicant is reminded that the "national phase" must be entered before each of the designated Offices indicated in the Notification of Receipt of Record Copy (Form PCT/IB/301) by paying national fees and furnishing translations, as prescribed by the applicable national laws.

The time limit for performing these procedural acts is **20 MONTHS** from the priority date or, for those designated States which the applicant elects in a demand for international preliminary examination or in a later election, **30 MONTHS** from the priority date, provided that the election is made before the expiration of 19 months from the priority date. Some designated (or elected) Offices have fixed time limits which expire even later than 20 or 30 months from the priority date. In other Offices an extension of time or grace period, in some cases upon payment of an additional fee, is available.

In addition to these procedural acts, the applicant may also have to comply with other special requirements applicable in certain Offices. **It is the applicant's responsibility** to ensure that the necessary steps to enter the national phase are taken in a timely fashion. Most designated Offices do not issue reminders to applicants in connection with the entry into the national phase.

For detailed information about the procedural acts to be performed to enter the national phase before each designated Office, the applicable time limits and possible extensions of time or grace periods, and any other requirements, see the relevant Chapters of Volume II of the PCT Applicant's Guide. Information about the requirements for filing a demand for international preliminary examination is set out in Chapter IX of Volume I of the PCT Applicant's Guide.

GR and ES became bound by PCT Chapter II on 7 September 1996 and 6 September 1997, respectively, and may, therefore, be elected in a demand or a later election filed on or after 7 September 1996 and 6 September 1997, respectively, regardless of the filing date of the international application. (See second paragraph above.)

Note that only an applicant who is a national or resident of a PCT Contracting State which is bound by Chapter II has the right to file a demand for international preliminary examination.

CONFIRMATION OF PRECAUTIONARY DESIGNATIONS

This notification lists only specific designations made under Rule 4.9(a) in the request. It is important to check that these designations are correct. Errors in designations can be corrected where precautionary designations have been made under Rule 4.9(b). The applicant is hereby reminded that any precautionary designations may be confirmed according to Rule 4.9(c) before the expiration of 15 months from the priority date. If it is not confirmed, it will automatically be regarded as withdrawn by the applicant. There will be no reminder and no invitation. Confirmation of a designation consists of the filing of a notice specifying the designated State concerned (with an indication of the kind of protection or treatment desired) and the payment of the designation and confirmation fees. Confirmation must reach the receiving Office within the 15-month time limit.

REQUIREMENTS REGARDING PRIORITY DOCUMENTS

For applicants who have not yet complied with the requirements regarding priority documents, the following is recalled.

Where the priority of an earlier national, regional or international application is claimed, the applicant must submit a copy of the said earlier application, certified by the authority with which it was filed ("the priority document") to the receiving Office (which will transmit it to the International Bureau) or directly to the International Bureau, before the expiration of 16 months from the priority date, provided that any such priority document may still be submitted to the International Bureau before that date of international publication of the international application, in which case that document will be considered to have been received by the International Bureau on the last day of the 16-month time limit (Rule 17.1(a)).

Where the priority document is issued by the receiving Office, the applicant may, instead of submitting the priority document, request the receiving Office to prepare and transmit the priority document to the International Bureau. Such request must be made before the expiration of the 16-month time limit and may be subjected by the receiving Office to the payment of a fee (Rule 17.1(b)).

If the priority document concerned is not submitted to the International Bureau or if the request to the receiving Office to prepare and transmit the priority document has not been made (and the corresponding fee, if any, paid) within the applicable time limit indicated under the preceding paragraphs, any designated State may disregard the priority claim, provided that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity to furnish the priority document within a time limit which is reasonable under the circumstances.

Where several priorities are claimed, the priority date to be considered for the purposes of computing the 16-month time limit is the filing date of the earliest application whose priority is claimed.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/03873

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H03M7/30, H03M7/36, H04N7/30, H04N7/32, H04N1/41

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H03M7/30, H03M7/36, H04N7/30, H04N7/32, H04N1/41

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho (Y1,Y2) 1926-1996 Toroku Jitsuyo Shinan Koho (U) 1994-2001
Kokai Jitsuyo Shinan Koho (U) 1971-2001 Jitsuyo Shinan Toroku Koho (Y2) 1996-2001

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 6-152432 A (Sony Corporation), 31 May, 1994 (31.05.94), Fig. 1 & EP 597724 A	1~132
A	JP 8-307835 A (Sony Corporation), 22 November, 1996 (22.11.96), Fig. 1 (Family: none)	1~132
A	JP 8-322041 A (Sony Corporation), 03 December, 1996 (03.12.96), Fig. 1 (Family: none)	1~132

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
09 August, 2001 (09.08.01)Date of mailing of the international search report
21 August, 2001 (21.08.01)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

国際調査報告

(法 8 条、法施行規則第40、41条)
〔PCT 18条、PCT規則43、44〕

出願人又は代理人 の書類記号 SK01PCT68	今後の手続きについては、国際調査報告の送付通知様式(PCT/ISA/220) 及び下記5を参照すること。	
国際出願番号 PCT/JPO1/03873	国際出願日 (日.月.年) 09.05.01	優先日 (日.月.年) 09.05.00
出願人 (氏名又は名称) ソニー株式会社		

国際調査機関が作成したこの国際調査報告を法施行規則第41条 (PCT 18条) の規定に従い出願人に送付する。
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 2 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。

☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。

☐ この国際出願に含まれる書面による配列表

☐ この国際出願と共に提出されたフレキシブルディスクによる配列表

☐ 出願後に、この国際調査機関に提出された書面による配列表

☐ 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表

☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。

☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

2. ☐ 請求の範囲の一部の調査ができない (第 I 欄参照)。

3. ☐ 発明の単一性が欠如している (第 II 欄参照)。

4. 発明の名称は ☒ 出願人が提出したものを承認する。

☐ 次に示すように国際調査機関が作成した。

5. 要約は ☒ 出願人が提出したものを承認する。

☐ 第 III 欄に示されているように、法施行規則第47条 (PCT規則38.2(b)) の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から 1 カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、

第 5 図とする。 ☒ 出願人が示したとおりである。

☐ なし

☐ 出願人は図を示さなかった。

☐ 本図は発明の特徴を一層よく表している。

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H03M7/30、H03M7/36、H04N7/30、H04N7/32、H04N1/41

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H03M7/30、H03M7/36、H04N7/30、H04N7/32、H04N1/41

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 (Y1, Y2) 1926-1996年
 日本国公開実用新案公報 (U) 1971-2001年
 日本国登録実用新案公報 (U) 1994-2001年
 日本国実用新案登録公報 (Y2) 1996-2001年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 6-152432 A (ソニー株式会社)、31. 5月. 1 994 (31. 05. 94)、図1 & EP 597724 A	1~132
A	J P 8-307835 A (ソニー株式会社)、22. 11月. 1996 (22. 11. 96)、図1 (ファミリーなし)	1~132
A	J P 8-322041 A (ソニー株式会社)、3. 12月. 1 996 (03. 12. 96)、図1 (ファミリーなし)	1~132

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

09. 08. 01

国際調査報告の発送日

21.08.01

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

石井 研一

5K

8124

電話番号 03-3581-1101 内線 3555

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2001年11月15日 (15.11.2001)

PCT

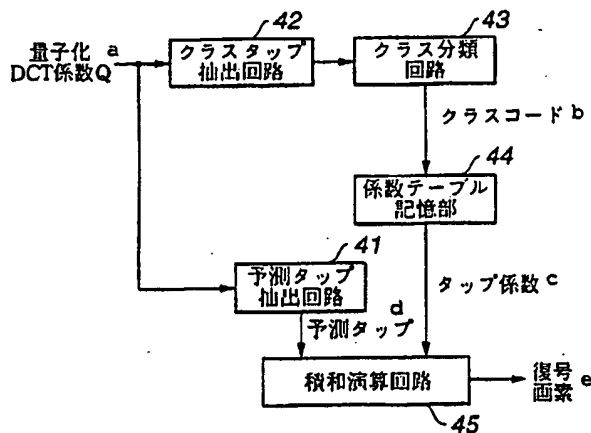
(10) 国際公開番号
WO 01/86820 A1

- (51) 国際特許分類: H03M 7/30, (72) 発明者; および
7/36, H04N 7/30, 7/32, 1/41 (75) 発明者/出願人 (米国についてのみ): 近藤哲二
郎 (KONDO, Tetsujiro) [JP/JP]. 浜松俊彦 (HAMA-
(21) 国際出願番号: PCT/JP01/03873 MATSU, Toshihiko) [JP/JP]. 中屋秀雄 (NAKAYA,
(22) 国際出願日: 2001年5月9日 (09.05.2001) Hideo) [JP/JP]. 西片文晴 (NISHIKATA, Takeharu)
(25) 国際出願の言語: 日本語 [JP/JP]. 大塚秀樹 (OHTSUKA, Hideki) [JP/JP]. 國
(26) 国際公開の言語: 日本語 弘 威 (KUNIHIRO, Takeshi) [JP/JP]. 森藤孝文
(30) 優先権データ: (MORIFUJI, Takafumi) [JP/JP]. 内田真史 (UCHIDA,
特願2000-135356 2000年5月9日 (09.05.2000) JP Masashi) [JP/JP]; 〒141-0001 東京都品川区北品川6丁
特願2000-135357 2000年5月9日 (09.05.2000) JP 目7番35号 ソニー株式会社内 Tokyo (JP).
(71) 出願人 (米国を除く全ての指定国について): ソニー株
式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001
東京都品川区北品川6丁目7番35号 Tokyo (JP). (74) 代理人: 小池 晃, 外 (KOIKE, Akira et al.); 〒105-
0001 東京都港区虎ノ門二丁目6番4号 第11森ビル
Tokyo (JP).
(81) 指定国 (国内): CN, KR, US.

[続葉有]

(54) Title: DATA PROCESSING DEVICE AND DATA PROCESSING METHOD, AND RECORDED MEDIUM

(54) 発明の名称: データ処理装置及びデータ処理方法、並びに記録媒体



(57) Abstract: JPEG-coded data is entropy-decoded to quantized DCT coefficients, which are supplied to a prediction tap extracting circuit (41) and a class tap extracting circuit (42). the prediction tap extracting circuit (41) and the class tap extracting circuit (42) extract necessary ones from the quantized DCT coefficients to produce a prediction tap and a class tap. A class sorting circuit (43) conducts class sorting according to the class tap. A coefficient table storage unit (44) supplies the tap coefficient corresponding to the class determined by the class sorting to a product-sum operating circuit (45). The product-sum operating circuit (45) conducts a linear prediction operation by using the tap coefficient and the class tap to produce decoded image data.

- a...QUANTIZED DCT COEFFICIENT Q
42...CLASS TAP EXTRACTING CIRCUIT
43...CLASS SORTING CIRCUIT
b...CLASS CODE
44...COEFFICIENT TABLE STORAGE UNIT
41...PREDICTION TAP EXTRACTING CIRCUIT
c...TAP COEFFICIENT
d...PREDICTION TAP
45...PRODUCT-SUM OPERATING CIRCUIT
e...DECODED PIXEL

[続葉有]

WO 01/00000 A1



(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

(57) 要約:

JPEG符号化されたデータは、エントロピー復号されることにより、量子化されたDCT係数（量子化DCT係数）とされ、予測タップ抽出回路（41）及びクラスタップ抽出回路（42）に供給される。予測タップ抽出回路（41）とクラスタップ抽出回路（42）は、量子化DCT係数から、必要なものを抽出し、予測タップとクラスタップをそれぞれ構成する。クラス分類回路（43）は、クラスタップに基づいてクラス分類を行い、係数テーブル記憶部（44）は、クラス分類の結果得られるクラスに対応するタップ係数を積和演算回路（45）に供給する。積和演算回路（45）は、タップ係数とクラスタップとを用いて、線形予測演算を行い、復号された画像データを得る。

明細書

データ処理装置及びデータ処理方法、並びに記録媒体

技術分野

本発明は、データ処理装置及びデータ処理方法、並びに記録媒体に関し、特に、例えば、不可逆圧縮された画像等を復号する場合等に用いて好適なデータ処理装置及びデータ処理方法、並びに記録媒体に関する。

背景技術

例えば、ディジタル画像データは、そのデータ量が多いため、そのまま記録や伝送を行うには、大容量の記録媒体や伝送媒体が必要となる。そこで、一般には、画像データを圧縮符号化することにより、そのデータ量を削減してから、記録や伝送が行われる。

画像を圧縮符号化する方式としては、例えば、静止画の圧縮符号化方式である J P E G (Joint Photographic Experts Group) 方式や、動画の圧縮符号化方式である M P E G (Moving Picture Experts Group) 方式等がある。

例えば、J P E G 方式による画像データの符号化／復号は、図 1 に示すように行われる。

すなわち、図 1 A は、従来の J P E G 符号化装置 5 の一例の構成を示している。

符号化対象の画像データは、ブロック化回路 1 に入力され、ブロック化回路 1 は、そこに入力される画像データを 8×8 画素の 6.4 画素でなるブロックに分割する。ブロック化回路 1 で得られる各ブロックは、離散コサイン変換 (DCT: Discrete Cosine Transform) 回路 2 に供給される。D C T 回路 2 は、ブロック化回路

1からのブロックに対して、DCT処理を施し、1個の直流(DC:Direct Current)成分と、水平方向及び垂直方向についての63個の周波数(AC:Alternating Current)成分の合計64個のDCT係数に変換する。各ブロックごとの64個のDCT係数は、DCT回路2から量子化回路3に供給される。

量子化回路3は、所定の量子化テーブルにしたがって、DCT回路2からのDCT係数を量子化し、その量子化結果(以下、適宜、量子化DCT係数という)を量子化に用いた量子化テーブルとともにエントロピー符号化回路4に供給する。

ここで、図1Bは、量子化回路3において用いられる量子化テーブルの例を示している。量子化テーブルには、一般に、人間の視覚特性を考慮して、重要性の高い低周波数のDCT係数は細かく量子化し、重要性の低い高周波数のDCT係数は粗く量子化するような量子化ステップが設定されており、これにより、画像の画質の劣化を抑えて、効率の良い圧縮が行われるようになっている。

エントロピー符号化回路4は、量子化回路3からの量子化DCT係数に対して、例えば、ハフマン符号化等のエントロピー符号化処理を施して、量子化回路3からの量子化テーブルを付加し、その結果得られる符号化データをJPEG符号化結果として出力する。

次に、図1Cは、図1AのJPEG符号化装置5が出力する符号化データを復号する従来のJPEG復号装置10の一例の構成を示している。

符号化データは、エントロピー復号回路11に入力される。エントロピー復号回路11は、符号化データをエントロピー符号化された量子化DCT係数と量子化テーブルとに分離する。さらに、エントロピー復号回路11は、エントロピー符号化された量子化DCT係数をエントロピー復号し、その結果得られる量子化DCT係数を量子化テーブルとともに逆量子化回路12に供給する。逆量子化回路12は、エントロピー復号回路11からの量子化DCT係数を同じくエントロピー復号回路11からの量子化テーブルにしたがって逆量子化し、その結果得られるDCT係数を逆DCT回路13に供給する。逆DCT回路13は、逆量子化回路12からのDCT係数に逆DCT処理を施し、その結果得られる8×8画素の復号ブロックをブロック分解回路14に供給する。ブロック分解回路14は、逆DCT回路13からの復号ブロックのブロック化を解くことで、復号画像を得

て出力する。

図1AのJPEG符号化装置5では、その量子化回路3において、ブロックの量子化に用いる量子化テーブルの量子化ステップを大きくすることにより、符号化データのデータ量を削減することができる。すなわち、高圧縮を実現することができる。

しかしながら、量子化ステップを大きくすると、いわゆる量子化誤差も大きくなることから、図1CのJPEG復号装置10で得られる復号画像の画質が劣化する。すなわち、復号画像には、ぼけやブロック歪み、モスキートノイズ等が顕著に現れる。

したがって、符号化データのデータ量を削減しながら、復号画像の画質を劣化させないようにするには、あるいは、符号化データのデータ量を維持して、復号画像の画質を向上させるには、JPEG復号した後に、何らかの画質向上のための処理を行う必要がある。

しかしながら、JPEG復号した後に、画質向上のための処理を行うことは、処理が煩雑になり、最終的に復号画像が得られるまでの時間も長くなる。

発明の開示

本発明は、このような状況に鑑みてなされたものであり、JPEG符号化された画像等から、効率的に、画質の良い復号画像を得ること等ができるようにするものである。

本発明では、学習を行うことにより求められたタップ係数を取得し、そのタップ係数と変換データとを用いて所定の予測演算を行うことにより、変換データを元のデータに復号する。

すなわち、本発明に係るデータ処理装置は、学習を行うことにより求められたタップ係数を取得する取得手段と、タップ係数及び変換データを用いて、所定の予測演算を行うことにより、変換データを元のデータに復号する復号手段とを備えることを特徴とする。

また、本発明に係るデータ処理方法は、学習を行うことにより求められたタップ係数を取得する取得ステップと、タップ係数及び変換データを用いて、所定の予測演算を行うことにより、変換データを元のデータに復号する復号ステップとを備えることを特徴とする。

さらに、本発明に係る記録媒体は、学習を行うことにより求められたタップ係数を取得する取得ステップと、タップ係数及び変換データを用いて、所定の予測演算を行うことにより、変換データを元のデータに復号する復号ステップとを備えるプログラムが記録されていることを特徴とする。

本発明では、教師となる教師データを少なくとも直交変換又は周波数変換することにより、生徒となる生徒データを生成し、タップ係数及び生徒データを用いて予測演算を行うことにより得られる教師データの予測値の予測誤差が統計的に最小になるように学習を行うことにより、タップ係数を求める。

すなわち、本発明に係るデータ処理装置は、教師となる教師データを少なくとも直交変換又は周波数変換することにより、生徒となる生徒データを生成する生成手段と、タップ係数及び生徒データを用いて予測演算を行うことにより得られる教師データの予測値の予測誤差が統計的に最小になるように学習を行い、タップ係数を求める学習手段とを備えることを特徴とする。

また、本発明に係るデータ処理方法は、教師となる教師データを少なくとも直交変換又は周波数変換することにより、生徒となる生徒データを生成する生成ステップと、タップ係数及び生徒データを用いて予測演算を行うことにより得られる教師データの予測値の予測誤差が統計的に最小になるように学習を行い、タップ係数を求める学習ステップとを備えることを特徴とする。

さらに、本発明に係る記録媒体は、教師となる教師データを少なくとも直交変換又は周波数変換することにより、生徒となる生徒データを生成する生成ステップと、タップ係数及び生徒データを用いて予測演算を行うことにより得られる教師データの予測値の予測誤差が統計的に最小になるように学習を行い、タップ係数を求める学習ステップとを備えるプログラムが記録されていることを特徴とする。

本発明では、学習を行うことにより求められたタップ係数を取得し、そのタッ

プ係数及び変換データを用いて、所定の予測演算を行うことにより、変換データを元のデータに復号し、かつ、その元のデータに所定の処理を施した処理データを得る。

すなわち、本発明に係るデータ処理装置は、学習を行うことにより求められたタップ係数を取得する取得手段と、タップ係数及び変換データを用いて、所定の予測演算を行うことにより、変換データを元のデータに復号し、かつ、その元のデータに所定の処理を施した処理データを得る演算手段とを備えることを特徴とする。

また、本発明に係るデータ処理方法は、学習を行うことにより求められたタップ係数を取得する取得ステップと、タップ係数及び変換データを用いて、所定の予測演算を行うことにより、変換データを元のデータに復号し、かつ、その元のデータに所定の処理を施した処理データを得る演算ステップとを備えることを特徴とする。

さらに、本発明に係る記録媒体は、学習を行うことにより求められたタップ係数を取得する取得ステップと、タップ係数及び変換データを用いて、所定の予測演算を行うことにより、変換データを元のデータに復号し、かつ、その元のデータに所定の処理を施した処理データを得る演算ステップとを備えるプログラムが記録されていることを特徴とする。

本発明では、教師となる教師データに、所定の処理に基づく処理を施し、その結果得られる準教師データを少なくとも直交変換又は周波数変換することにより、生徒となる生徒データを生成する。そして、タップ係数及び生徒データを用いて予測演算を行うことにより得られる教師データの予測値の予測誤差を統計的に最小にするように学習を行い、タップ係数を求める。

すなわち、本発明に係るデータ処理装置は、教師となる教師データに、所定の処理に基づく処理を施し、準教師データを得る準教師データ生成手段と、準教師データを少なくとも直交変換又は周波数変換することにより、生徒となる生徒データを生成する生徒データ生成手段と、タップ係数及び生徒データを用いて予測演算を行うことにより得られる教師データの予測値の予測誤差が統計的に最小になるように学習を行い、タップ係数を求める学習手段とを備えることを特徴とす

る。

また、本発明に係るデータ処理方法は、教師となる教師データに、所定の処理に基づく処理を施し、準教師データを得る準教師データ生成ステップと、準教師データを少なくとも直交変換又は周波数変換することにより、生徒となる生徒データを生成する生徒データ生成ステップと、タップ係数及び生徒データを用いて予測演算を行うことにより得られる教師データの予測値の予測誤差が統計的に最小になるように学習を行い、タップ係数を求める学習ステップとを備えることを特徴とする。

さらに、本発明に係る記録媒体は、教師となる教師データに、所定の処理に基づく処理を施し、準教師データを得る準教師データ生成ステップと、準教師データを少なくとも直交変換又は周波数変換することにより、生徒となる生徒データを生成する生徒データ生成ステップと、タップ係数及び生徒データを用いて予測演算を行うことにより得られる教師データの予測値の予測誤差が統計的に最小になるように学習を行い、タップ係数を求める学習ステップとを備えるプログラムが記録されていることを特徴とする。

本発明では、付加情報に基づいて、元のデータのうちの注目している注目データを幾つかのクラスのうちのいずれかにクラス分類し、学習を行うことにより求められた所定のクラスごとのタップ係数のうち注目データのクラスに対応するタップ係数を取得する。そして、変換データ及び注目データのクラスに対応するタップ係数を用いて、所定の予測演算を行うことにより、変換データを元のデータに復号する。

すなわち、本発明に係るデータ処理装置は、付加情報に基づいて、元のデータのうちの注目している注目データを幾つかのクラスのうちのいずれかにクラス分類するクラス分類手段と、学習を行うことにより求められた所定のクラスごとのタップ係数のうち注目データのクラスに対応するタップ係数を取得する取得手段と、変換データ及び注目データのクラスに対応するタップ係数を用いて、所定の予測演算を行うことにより、変換データを元のデータに復号する復号手段とを備えることを特徴とする。

また、本発明に係るデータ処理方法は、付加情報に基づいて、元のデータのう

ちの注目している注目データを幾つかのクラスのうちのいずれかにクラス分類するクラス分類ステップと、学習を行うことにより求められた所定のクラスごとのタップ係数のうち、注目データのクラスに対応するタップ係数を取得する取得ステップと、変換データ及び注目データのクラスに対応するタップ係数を用いて、所定の予測演算を行うことにより、変換データを元のデータに復号する復号ステップとを備えることを特徴とする。

また、本発明に係る記録媒体は、付加情報に基づいて、元のデータのうちの注目している注目データを幾つかのクラスのうちのいずれかにクラス分類するクラス分類ステップと、学習を行うことにより求められた、所定のクラスごとのタップ係数のうち、注目データのクラスに対応するタップ係数を取得する取得ステップと、変換データ及び注目データのクラスに対応するタップ係数を用いて、所定の予測演算を行うことにより、変換データを元のデータに復号する復号ステップとを備えるプログラムが記録されていることを特徴とする。

本発明では、教師となる教師データを少なくとも直交変換又は周波数変換することにより、生徒となる生徒データを生成し、生徒データを生成するときに用いた所定の付加情報に基づいて、教師データのうちの注目している注目教師データを幾つかのクラスのうちのいずれかにクラス分類する。そして、注目教師データのクラスに対応するタップ係数及び生徒データを用いて予測演算を行うことにより得られる教師データの予測値の予測誤差が統計的に最小になるように学習を行い、クラスごとのタップ係数を求める。

すなわち、本発明に係るデータ処理装置は、教師となる教師データを少なくとも直交変換又は周波数変換することにより、生徒となる生徒データを生成する生成手段と、生成手段において生徒データを生成するときに用いられる所定の付加情報に基づいて、教師データのうちの注目している注目教師データを幾つかのクラスのうちのいずれかにクラス分類するクラス分類手段と、注目教師データのクラスに対応するタップ係数及び生徒データを用いて予測演算を行うことにより得られる教師データの予測値の予測誤差が統計的に最小になるように学習を行い、クラスごとのタップ係数を求める学習手段とを備えることを特徴とする。

また、本発明に係るデータ処理方法は、教師となる教師データを少なくとも直

交変換又は周波数変換することにより生徒となる生徒データを生成する生成ステップと、生成ステップにおいて生徒データを生成するときに用いられる所定の付加情報に基づいて、教師データのうちの注目している注目教師データを幾つかのクラスのうちのいずれかにクラス分類するクラス分類ステップと、注目教師データのクラスに対応するタップ係数及び生徒データを用いて予測演算を行うことにより得られる教師データの予測値の予測誤差が統計的に最小になるように学習を行い、クラスごとのタップ係数を求める学習ステップとを備えることを特徴とする。

さらに、本発明に係る記録媒体は、教師となる教師データを少なくとも直交変換又は周波数変換することにより、生徒となる生徒データを生成する生成ステップと、生成ステップにおいて生徒データを生成するときに用いられる所定の付加情報に基づいて、教師データのうちの注目している注目教師データを幾つかのクラスのうちのいずれかにクラス分類するクラス分類ステップと、注目教師データのクラスに対応するタップ係数及び生徒データを用いて予測演算を行うことにより得られる教師データの予測値の予測誤差が統計的に最小になるように学習を行い、クラスごとのタップ係数を求める学習ステップとを備えるプログラムが記録されていることを特徴とする。

本発明では、注目処理データを幾つかのクラスのうちのいずれかにクラス分類するのに用いる変換データを少なくとも注目処理データに対応するブロック以外のブロックから抽出してクラスタップとし、そのクラスタップに基づいて、注目処理データのクラスを求めるクラス分類を行われ、注目処理データのクラスのタップ係数及び変換データを行い、所定の予測演算を行うことにより、注目処理データの予測値を求める。

すなわち、本発明に係るデータ処理装置は、学習を行うことにより求められたタップ係数を取得する取得手段と、注目している処理データである注目処理データを幾つかのクラスのうちのいずれかにクラス分類するのに用いる変換データを少なくとも注目処理データに対応するブロック以外のブロックから抽出し、クラスタップとして出力するクラスタップ抽出手段と、クラスタップに基づいて注目処理データのクラスを求めるクラス分類を行うクラス分類手段と、注目処理デー

タのクラスのタップ係数及び変換データを用いて、所定の予測演算を行うことにより、注目処理データの予測値を求める演算手段とを備えることを特徴とする。

また、本発明に係るデータ処理方法は、学習を行うことにより求められたタップ係数を取得する取得ステップと、注目している処理データである注目処理データを幾つかのクラスのうちのいずれかにクラス分類するのに用いる変換データを少なくとも注目処理データに対応するブロック以外のブロックから抽出し、クラスタップとして出力するクラスタップ抽出ステップと、クラスタップに基づいて、注目処理データのクラスを求めるクラス分類を行うクラス分類ステップと、注目処理データのクラスのタップ係数及び変換データを用いて、所定の予測演算を行うことにより、注目処理データの予測値を求める演算ステップとを備えることを特徴とする。

さらに、本発明に係る記録媒体は、学習を行うことにより求められたタップ係数を取得する取得ステップと、注目している処理データである注目処理データを幾つかのクラスのうちのいずれかにクラス分類するのに用いる変換データを少なくとも注目処理データに対応するブロック以外のブロックから抽出し、クラスタップとして出力するクラスタップ抽出ステップと、クラスタップに基づいて、注目処理データのクラスを求めるクラス分類を行うクラス分類ステップと、注目処理データのクラスのタップ係数及び変換データを用いて、所定の予測演算を行うことにより、注目処理データの予測値を求める演算ステップとを備えるプログラムが記録されていることを特徴とする。

本発明では、注目教師データを幾つかのクラスのうちのいずれかにクラス分類するのに用いる生徒データを少なくとも注目教師データに対応するブロック以外のブロックから抽出して、クラスタップとし、さらに、そのクラスタップに基づいて、注目教師データのクラスを求めるクラス分類を行う。そして、クラスごとのタップ係数及び生徒データを用いて予測演算を行うことにより得られる教師データの予測値の予測誤差が統計的に最小になるように学習を行い、タップ係数をクラスごとに求める。

すなわち、本発明に係るデータ処理装置は、ブロック単位の変換データを学習時の生徒となる生徒データとして生成する生成手段と、処理データを学習時の教

師となる教師データとして、注目している教師データである注目教師データを幾つかのクラスのうちのいずれかにクラス分類するのに用いる生徒データを少なくとも注目教師データに対応するブロック以外のブロックから抽出し、クラスタップとして出力するクラスタップ抽出手段と、クラスタップに基づいて、注目教師データのクラスを求めるクラス分類を行うクラス分類手段と、クラスごとのタップ係数及び生徒データを用いて予測演算を行うことにより得られる教師データの予測値の予測誤差が統計的に最小になるように学習を行い、タップ係数をクラスごとに求める学習手段とを備えることを特徴とする。

また、本発明に係るデータ処理方法は、ブロック単位の変換データを学習時の生徒となる生徒データとして生成する生成ステップと、処理データを学習時の教師となる教師データとして、注目している教師データである注目教師データを幾つかのクラスのうちのいずれかにクラス分類するのに用いる生徒データを少なくとも注目教師データに対応するブロック以外のブロックから抽出し、クラスタップとして出力するクラスタップ抽出ステップと、クラスタップに基づいて、注目教師データのクラスを求めるクラス分類を行うクラス分類ステップと、クラスごとのタップ係数及び生徒データを用いて予測演算を行うことにより得られる教師データの予測値の予測誤差が統計的に最小になるように学習を行い、タップ係数をクラスごとに求める学習ステップとを備えることを特徴とする。

さらに、本発明に係る記録媒体は、ブロック単位の変換データを学習時の生徒となる生徒データとして生成する生成ステップと、処理データを学習時の教師となる教師データとして注目している教師データである注目教師データを幾つかのクラスのうちのいずれかにクラス分類するのに用いる生徒データを少なくとも注目教師データに対応するブロック以外のブロックから抽出し、クラスタップとして出力するクラスタップ抽出ステップと、クラスタップに基づいて、注目教師データのクラスを求めるクラス分類を行うクラス分類ステップと、クラスごとのタップ係数及び生徒データを用いて予測演算を行うことにより得られる教師データの予測値の予測誤差が統計的に最小になるように学習を行い、タップ係数をクラスごとに求める学習ステップとを備えるプログラムが記録されていることを特徴とする。

本発明では、データブロックのうちの注目している注目データブロックのデータを復号するための予測演算に用いる変換データを、少なくとも、その注目データブロック以外のデータブロックに対応する変換ブロックから抽出して、予測タップとし、タップ係数及び予測タップを用いて、所定の予測演算を行うことにより、変換データを元のデータに復号する。

すなわち、本発明に係るデータ処理装置は、学習を行うことにより求められたタップ係数を取得する取得手段と、データのブロックであるデータブロックのうちの注目している注目データブロックのデータを復号するための予測演算に用いる変換データを、少なくとも、その注目データブロック以外のデータブロックに対応する変換データのブロックである変換ブロックから抽出し、予測タップとして出力する予測タップ抽出手段と、タップ係数及び予測タップを用いて、所定の予測演算を行うことにより、変換データを元のデータに復号する演算手段とを備えることを特徴とする。

また、本発明に係るデータ処理方法は、学習を行うことにより求められたタップ係数を取得する取得ステップと、データのブロックであるデータブロックのうちの注目している注目データブロックのデータを復号するための予測演算に用いる変換データを、少なくとも、その注目データブロック以外のデータブロックに対応する変換データのブロックである変換ブロックから抽出し、予測タップとして出力する予測タップ抽出ステップと、タップ係数及び予測タップを用いて、所定の予測演算を行うことにより、変換データを元のデータに復号する演算ステップとを備えることを特徴とする。

さらに、本発明に係る記録媒体は、学習を行うことにより求められたタップ係数を取得する取得ステップと、データのブロックであるデータブロックのうちの注目している注目データブロックのデータを復号するための予測演算に用いる変換データを、少なくとも、その注目データブロック以外のデータブロックに対応する変換データのブロックである変換ブロックから抽出し、予測タップとして出力する予測タップ抽出ステップと、タップ係数及び予測タップを用いて、所定の予測演算を行うことにより、変換データを元のデータに復号する演算ステップとを備えるプログラムが記録されていることを特徴とする。

本発明では、教師となる教師データを少なくとも直交変換又は周波数変換することにより、生徒となる生徒データを生成し、教師ブロックのうちの注目している注目教師ブロックの教師データを復号するための予測演算に用いる生徒データを、少なくとも、その注目教師ブロック以外の教師ブロックに対応する生徒ブロックから抽出して、予測タップとし、タップ係数及び予測タップを用いて予測演算を行うことにより得られる教師データの予測値の予測誤差が統計的に最小になるように学習を行い、タップ係数を求める。

すなわち、本発明に係るデータ処理装置は、教師となる教師データを少なくとも直交変換又は周波数変換することにより、生徒となる生徒データを生成する生成手段と、教師データのブロックである教師ブロックのうちの注目している注目教師ブロックの教師データを復号するための予測演算に用いる生徒データを、少なくとも、その注目教師ブロック以外の教師ブロックに対応する生徒データのブロックである生徒ブロックから抽出し、予測タップとして出力する予測タップ抽出手段と、タップ係数及び予測タップを用いて予測演算を行うことにより得られる教師データの予測値の予測誤差が統計的に最小になるように学習を行い、タップ係数を求める学習手段とを備えることを特徴とする。

また、本発明に係るデータ処理方法は、教師となる教師データを少なくとも直交変換又は周波数変換することにより、生徒となる生徒データを生成する生成ステップと、教師データのブロックである教師ブロックのうちの注目している注目教師ブロックの教師データを復号するための予測演算に用いる生徒データを、少なくとも、その注目教師ブロック以外の教師ブロックに対応する生徒データのブロックである生徒ブロックから抽出し、予測タップとして出力する予測タップ抽出ステップと、タップ係数及び予測タップを用いて予測演算を行うことにより得られる教師データの予測値の予測誤差が統計的に最小になるように学習を行い、タップ係数を求める学習ステップとを備えることを特徴とする。

さらに、本発明に係る記録媒体は、教師となる教師データを少なくとも直交変換又は周波数変換することにより、生徒となる生徒データを生成する生成ステップと、教師データのブロックである教師ブロックのうちの注目している注目教師ブロックの教師データを復号するための予測演算に用いる生徒データを、少なく

とも、その注目教師ブロック以外の教師ブロックに対応する生徒データのブロックである生徒ブロックから抽出し、予測タップとして出力する予測タップ抽出ステップと、タップ係数及び予測タップを用いて予測演算を行うことにより得られる教師データの予測値の予測誤差が統計的に最小になるように学習を行い、タップ係数を求める学習ステップとを備えるプログラムが記録されていることを特徴とする。

本発明では、抽出パターンの学習用の第1データ及び第2データを用いて、所定の位置にある第2データに対して所定の位置関係にある第1データと所定の位置にある第2データとの相関が所定の位置関係ごとに求め、その相関に基づいて、第2データを求めるための予測演算に用いる予測タップとする第1データの抽出パターンを設定する。

すなわち、本発明に係るデータ処理装置は、抽出パターンの学習用の第1データ及び第2データを用いて、所定の位置にある第2データに対して所定の位置関係にある第1データと、所定の位置にある第2データとの相関を所定の位置関係ごとに求める相関演算手段と、相関に基づいて、第2データを求めるための予測演算に用いる予測タップとする第1データの抽出パターンを設定する設定手段とを備えることを特徴とする。

また、本発明に係るデータ処理方法は、抽出パターンの学習用の第1データ及び第2データを用いて、所定の位置にある第2データに対して所定の位置関係にある第1データと、所定の位置にある第2データとの相関を所定の位置関係ごとに求める相関演算ステップと、相関に基づいて、第2データを求めるための予測演算に用いる予測タップとする第1データの抽出パターンを設定する設定ステップとを備えることを特徴とする。

さらに、本発明に係る記録媒体は、抽出パターンの学習用の第1データ及び第2データを用いて、所定の位置にある第2データに対して所定の位置関係にある第1データと、所定の位置にある第2データとの相関を所定の位置関係ごとに求める相関演算ステップと、相関に基づいて、第2データを求めるための予測演算に用いる予測タップとする第1データの抽出パターンを設定する設定ステップとを備えるプログラムが記録されていることを特徴とする。

図面の簡単な説明

図 1 A、図 1 B 及び図 1 C は、従来の J P E G 符号化／復号を説明するための図である。

図 2 は、本発明を適用した画像伝送システムの構成例を示す図である。

図 3 は、上記画像伝送システムにおけるデコーダの構成例を示すブロック図である。

図 4 は、上記デコーダの処理を説明するフローチャートである。

図 5 は、上記デコーダにおける係数変換回路の構成例を示すブロック図である。

図 6 は、上記デコーダにおける予測タップとクラスタップの例を説明する図である。

図 7 は、上記係数変換回路におけるクラス分類回路の構成例を示すブロック図である。

図 8 は、上記係数変換回路における電力演算回路の処理を説明するための図である。

図 9 は、上記係数変換回路の処理を説明するフローチャートである。

図 1 0 は、上記係数変換回路の処理のより詳細を説明するフローチャートである。

図 1 1 は、上記係数変換回路のタップ係数を学習する学習装置の構成例を示すブロック図である。

図 1 2 は、上記学習装置の処理を説明するフローチャートである。

図 1 3 は、上記係数変換回路の他の構成例を示すブロック図である。

図 1 4 は、上記学習装置の他の構成例を示すブロック図である。

図 1 5 は、上記係数変換回路の他の構成例を示すブロック図である。

図 1 6 は、上記学習装置の他の構成例を示すブロック図である。

図 1 7 は、上記係数変換回路の他の構成例を示すブロック図である。

図 1 8 は、上記学習装置の他の構成例を示すブロック図である。

図19は、上記画像伝送システムにおけるエンコーダの構成例を示すブロック図である。

図20は、MPEGデコーダの構成例を示すブロック図である。

図21は、上記係数変換回路の他の構成例を示すブロック図である。

図22は、上記学習装置の他の構成例を示すブロック図である。

図23は、上記画像伝送システムに本発明を適用した他の実施の形態におけるデコーダの構成例を示すブロック図である。

図24は、上記デコーダにおいて 8×8 のDCT係数が 16×16 画素に復号される様子を示す図である。

図25は、上記デコーダの処理を説明するフローチャートである。

図26は、上記デコーダにおける係数変換回路の構成例を示すブロック図である。

図27は、上記係数変換回路におけるクラス分類回路の構成例を示すブロック図である。

図28は、上記係数変換回路の処理を説明するフローチャートである。

図29は、上記係数変換回路における処理により詳細を説明するフローチャートである。

図30は、上記係数変換回路のタップ係数を学習する学習装置の構成例を示すブロック図である。

図31は、上記学習装置の処理を説明するフローチャートである。

図32は、上記係数変換回路の他の構成例を示すブロック図である。

図33は、上記学習装置の他の構成例を示すブロック図である。

図34は、上記係数変換回路の他の構成例を示すブロック図である。

図35は、上記学習装置の他の構成例を示すブロック図である。

図36は、上記係数変換回路の他の構成例を示すブロック図である。

図37は、上記学習装置の他の構成例を示すブロック図である。

図38は、上記エンコーダの構成例を示すブロック図である。

図39は、上記係数変換回路の他の構成例を示すブロック図である。

図40は、上記学習装置の他の構成例を示すブロック図である。

図 4 1 A 及び図 4 1 B は、時間解像度を向上させた画像を示す図である。

図 4 2 A 及び図 4 2 B は、時間解像度を向上させた画像を示す図である。

図 4 3 は、2 以上のフレームの D C T 係数からクラスタップ及び予測タップを構成することを示す図である。

図 4 4 は、上記画像伝送システムに本発明を適用した他の実施の形態におけるデコーダの構成例を示すブロック図である。

図 4 5 は、上記デコーダの処理を説明するフローチャートである。

図 4 6 は、上記デコーダにおける係数変換回路の構成例を示すブロック図である。

図 4 7 は、上記係数変換回路におけるクラス分類回路の構成例を示すブロック図である。

図 4 8 は、上記係数変換回路の処理を説明するフローチャートである。

図 4 9 は、上記係数変換回路の処理のより詳細を説明するフローチャートである。

図 5 0 は、上記係数変換回路のタップ係数を学習する学習装置の構成例を示すブロック図である。

図 5 1 は、上記学習装置の処理を説明するフローチャートである。

図 5 2 は、上記係数変換回路の他の構成例を示すブロック図である。

図 5 3 は、上記学習装置の構成例を示すブロック図である。

図 5 4 は、上記係数変換回路の他の構成例を示すブロック図である。

図 5 5 は、本発明を適用した学習装置の構成例を示すブロック図である。

図 5 6 は、上記係数変換回路の他の構成例を示すブロック図である。

図 5 7 は、上記学習装置の構成例を示すブロック図である。

図 5 8 は、上記画像伝送システムにおけるエンコーダの構成例を示すブロック図である。

図 5 9 は、上記画像伝送システムにおける M P E G デコーダの構成例を示すブロック図である。

図 6 0 は、上記係数変換回路の他の構成例を示すブロック図である。

図 6 1 は、上記学習装置の他の構成例を示すブロック図である。

図 6 2 は、上記画像伝送システムに本発明を適用した他の実施の形態におけるデコーダの構成例を示すブロック図である。

図 6 3 は、上記デコーダの処理を説明するフローチャートである。

図 6 4 は、上記デコーダにおける係数変換回路の構成例を示すブロック図である。

図 6 5 A 及び図 6 5 B は、上記係数変換回路におけるクラスタップの例を説明する図である。

図 6 6 は、上記係数変換回路におけるクラス分類回路の構成例を示すブロック図である。

図 6 7 は、上記係数変換回路の処理を説明するフローチャートである。

図 6 8 は、上記係数変換回路の処理のより詳細を説明するフローチャートである。

図 6 9 は、クラス分類の方法を説明するための図である。

図 7 0 は、上記クラス分類回路の処理を説明するフローチャートである。

図 7 1 は、クラス分類の他の方法を説明するための図である。

図 7 2 は、上記クラス分類回路の他の構成例を示すブロック図である。

図 7 3 は、上記クラス分類回路の処理を説明するフローチャートである。

図 7 4 は、上記係数変換回路の他の構成例を示すブロック図である。

図 7 5 は、上記係数変換回路のタップ係数を学習する学習装置の構成例を示すブロック図である。

図 7 6 は、上記係数変換回路の構成例を示すブロック図である。

図 7 7 は、上記学習装置の他の構成例を示すブロック図である。

図 7 8 は、上記画像伝送システムに本発明を適用した他の実施の形態におけるデコーダの構成例を示すブロック図である。

図 7 9 は、上記デコーダの処理を説明するフローチャートである。

図 8 0 は、上記デコーダにおける係数変換回路の構成例を示すブロック図である。

図 8 1 は、上記係数変換回路におけるクラス分類回路の構成例を示すブロック図である。

図 8 2 は、上記係数変換回路の処理を説明するフローチャートである。

図 8 3 は、上記係数変換回路の処理のより詳細を説明するフローチャートである。

図 8 4 は、上記係数変換回路のタップ係数を学習するタップ係数学習装置の構成例を示すブロック図である。

図 8 5 は、上記タップ係数学習装置の処理を説明するフローチャートである。

図 8 6 は、パターン情報を学習するパターン学習装置の構成例を示すブロック図である。

図 8 7 A、図 8 7 B 及び図 8 7 C は、上記パターン学習装置における加算回路の処理を説明するための図である。

図 8 8 は、上記パターン学習装置の処理を説明するフローチャートである。

図 8 9 は、上記係数変換回路の構成例を示すブロック図である。

図 9 0 は、上記タップ係数学習装置の他の構成例を示すブロック図である。

図 9 1 は、上記パターン学習装置の他の構成例を示すブロック図である。

図 9 2 は、上記係数変換回路の他の構成例を示すブロック図である。

図 9 3 は、上記タップ係数学習装置の他の構成例を示すブロック図である。

図 9 4 は、上記パターン学習装置の他の構成例を示すブロック図である。

図 9 5 A、図 9 5 B 及び図 9 5 C は、上記パターン学習装置における加算回路の処理を説明するための図である。

図 9 6 は、上記係数変換回路の他の構成例を示すブロック図である。

図 9 7 は、上記タップ係数学習装置の他の構成例を示すブロック図である。

図 9 8 は、上記パターン学習装置の他の構成例を示すブロック図である。

図 9 9 は、上記係数変換回路の他の構成例を示すブロック図である。

図 1 0 0 は、上記タップ係数学習装置の他の構成例を示すブロック図である。

図 1 0 1 は、上記パターン学習装置の他の構成例を示すブロック図である。

図 1 0 2 は、本発明を適用したコンピュータの一実施の形態の構成例を示すブロック図である。

発明を実施するための最良の形態

以下、本発明を実施するための最良の形態について図面を参照しながら詳細に説明する。

本発明は、例えば図2に示すような構成の画像伝送システム20に適用される。

この画像伝送システム20において、伝送すべき画像データは、エンコーダ21に供給されるようになっている。エンコーダ21は、そこに供給される画像データを例えばJ P E G符号化し、符号化データとする。すなわち、エンコーダ21は、例えば、前述の図1 Aに示したJ P E G符号化装置5と同様に構成されており、画像データをJ P E G符号化する。エンコーダ21がJ P E G符号化を行うことにより得られる符号化データは、例えば、半導体メモリ、光磁気ディスク、磁気ディスク、光ディスク、磁気テープ、相変化ディスクなどなる記録媒体23に記録され、あるいは、例えば、地上波、衛星回線、C A T V (Cable Television) 網、インターネット、公衆回線などなる伝送媒体24を介して伝送される。

デコーダ22は、記録媒体23又は伝送媒体24を介して提供される符号化データを受信して、元の画像データに復号する。この復号された画像データは、例えば、図示せぬモニタに供給されて表示等される。

デコーダ22は、図3に示すように、エントロピー復号回路31、係数変換回路32及びブロック分解回路33からなる。

符号化データは、エントロピー復号回路31に供給されるようになっている。エントロピー復号回路31は、符号化データをエントロピー復号して、その結果得られるブロックごとの量子化D C T係数Qを係数変換回路32に供給する。なお、符号化データには、図1 Cのエントロピー復号回路11で説明した場合と同様に、エントロピー符号化された量子化D C T係数の他、量子化テーブルも含まれるが、この量子化テーブルは、後述するように、必要に応じて、量子化D C T係数の復号に用いることが可能である。

係数変換回路32は、エントロピー復号回路31からの量子化D C T係数Qと、後述する学習を行うことにより求められるタップ係数を用いて、所定の予測演算を行うことにより、ブロックごとの量子化D C T係数を8×8画素の元のブロッ

クに復号する。

ブロック分解回路 33 は、係数変換回路 32 において得られる、復号されたブロック（復号ブロック）のブロック化を解くことで、復号画像を得て出力する。

次に、図 4 のフローチャートを参照して、図 3 のデコーダ 22 の処理について説明する。

符号化データは、エントロピー復号回路 31 に順次供給され、ステップ S1 において、エントロピー復号回路 31 は、符号化データをエントロピー復号し、ブロックごとの量子化 DCT 係数 Q を係数変換回路 32 に供給する。係数変換回路 32 は、ステップ S2 において、エントロピー復号回路 31 からのブロックごとの量子化 DCT 係数 Q を、タップ係数を用いた予測演算を行うことにより、ブロックごとの画素値に復号し、ブロック分解回路 33 に供給する。ブロック分解回路 33 は、ステップ S3 において、係数変換回路 32 からの画素値のブロック（復号ブロック）のブロック化を解くブロック分解を行い、その結果得られる復号画像を出力して、処理を終了する。

次に、図 3 の係数変換回路 32 では、例えば、クラス分類適応処理を利用して、量子化 DCT 係数を画素値に復号することができる。

クラス分類適応処理は、クラス分類処理と適応処理とからなり、クラス分類処理によって、データをその性質に基づいてクラス分けし、各クラスごとに適応処理を施すものであり、適応処理は、以下のような手法のものである。

すなわち、適応処理では、例えば、量子化 DCT 係数と所定のタップ係数との線形結合により、元の画素の予測値を求めることで、量子化 DCT 係数が元の画素値に復号される。

具体的には、例えば、いま、ある画像を教師データとするとともに、その画像をブロック単位で DCT 処理し、さらに量子化して得られる量子化 DCT 係数を生徒データとして、教師データである画素の画素値 y の予測値 $E[y]$ を幾つかの量子化 DCT 係数 x_1, x_2, \dots の集合と、所定のタップ係数 w_1, w_2, \dots の線形結合により規定される線形 1 次結合モデルにより求めることを考える。この場合、予測値 $E[y]$ は、次の式 (1) で表すことができる。

$$E[y] = w_1 x_1 + w_2 x_2 + \dots \quad \dots (1)$$

式(1)を一般化するために、タップ係数 w_j の集合でなる行列 W 、生徒データ x_{ij} の集合でなる行列 X 及び予測値 $E[y_i]$ の集合でなる行列 Y' を、

$$X = \begin{pmatrix} x_{11} & x_{12} & \cdots & x_{1j} \\ x_{21} & x_{22} & \cdots & x_{2j} \\ \cdots & \cdots & \cdots & \cdots \\ x_{i1} & x_{i2} & \cdots & x_{ij} \end{pmatrix}$$

$$W = \begin{pmatrix} w_1 \\ w_2 \\ \cdots \\ w_j \end{pmatrix}$$

$$Y' = \begin{pmatrix} E[y_1] \\ E[y_2] \\ \cdots \\ E[y_i] \end{pmatrix}$$

で定義すると、次のような観測方程式(2)が成立する。

$$XW = Y' \quad \cdots (2)$$

ここで、行列 X の成分 x_{ij} は、 i 件目の生徒データの集合(i 件目の教師データ y_i の予測に用いる生徒データの集合)の中の j 番目の生徒データを意味し、行列 W の成分 w_j は、生徒データの集合の中の j 番目の生徒データとの積が演算されるタップ係数を表す。また、 y_i は、 i 件目の教師データを表し、したがって、 $E[y_i]$ は、 i 件目の教師データの予測値を表す。なお、式(1)の左辺における y は、行列 Y の成分 y_i のサフィックス i を省略したものであり、また、式(1)の右辺における x_1, x_2, \cdots も、行列 X の成分 x_{ij} のサフィックス i を省略したものである。

そして、この観測方程式に最小自乗法を適用して、元の画素値 y に近い予測値 $E[y]$ を求めることを考える。この場合、教師データとなる真の画素値 y の集合でなる行列 Y 及び画素値 y に対する予測値 $E[y]$ の残差 e の集合でなる行列

Eを、

$$E = \begin{pmatrix} e_1 \\ e_2 \\ \dots \\ e_I \end{pmatrix}$$

$$Y = \begin{pmatrix} y_1 \\ y_2 \\ \dots \\ y_I \end{pmatrix}$$

で定義すると、式(2)から、次のような残差方程式(3)が成立する。

$$XW = Y + E \quad \dots (3)$$

この場合、元の画素値 y に近い予測値 $E[y]$ を求めるためのタップ係数 w_j は、自乗誤差

$$\sum_{i=1}^I e_i^2$$

を最小にすることで求めることができる。

したがって、上述の自乗誤差をタップ係数 w_j で微分したものが0になる場合、すなわち、次の式(4)を満たすタップ係数 w_j が元の画素値 y に近い予測値 $E[y]$ を求めるため最適値ということになる。

$$e_1 \frac{\partial e_1}{\partial w_j} + e_2 \frac{\partial e_2}{\partial w_j} + \dots + e_I \frac{\partial e_I}{\partial w_j} = 0$$

$$(j = 1, 2, \dots, J) \quad \dots (4)$$

そこで、まず、式(3)をタップ係数 w_j で微分することにより、次の式(5)が成立する。

$$\frac{\partial e_i}{\partial w_1} = x_{i1}, \quad \frac{\partial e_i}{\partial w_2} = x_{i2}, \quad \dots, \quad \frac{\partial e_i}{\partial w_J} = x_{iJ} \quad (i = 1, 2, \dots, I) \quad \dots (5)$$

式(4)及び式(5)より、式(6)が得られる。

$$\sum_{i=1}^I e_i x_{i1} = 0, \quad \sum_{i=1}^I e_i x_{i2} = 0, \quad \dots, \quad \sum_{i=1}^I e_i x_{iJ} = 0, \quad \dots (6)$$

さらに、式(3)の残差方程式における生徒データ x_{ij} 、タップ係数 w_j 、教師データ y_i 及び残差 e_i の関係を考慮すると、式(6)から、次のような正規方程式(7)を得ることができる。

$$\left[\begin{array}{l} \left(\sum_{i=1}^I x_{i1} x_{i1} \right) w_1 + \left(\sum_{i=1}^I x_{i1} x_{i2} \right) w_2 + \dots \\ \dots + \left(\sum_{i=1}^I x_{i1} x_{iJ} \right) w_J = \left(\sum_{i=1}^I x_{i1} y_i \right) \\ \left(\sum_{i=1}^I x_{i2} x_{i1} \right) w_1 + \left(\sum_{i=1}^I x_{i2} x_{i2} \right) w_2 + \dots \\ \dots + \left(\sum_{i=1}^I x_{i2} x_{iJ} \right) w_J = \left(\sum_{i=1}^I x_{i2} y_i \right) \\ \dots \\ \left(\sum_{i=1}^I x_{iJ} x_{i1} \right) w_1 + \left(\sum_{i=1}^I x_{iJ} x_{i2} \right) w_2 + \dots \\ \dots + \left(\sum_{i=1}^I x_{iJ} x_{iJ} \right) w_J = \left(\sum_{i=1}^I x_{iJ} y_i \right) \end{array} \right. \quad \dots (7)$$

なお、式(7)に示した正規方程式は、行列(共分散行列) A 及びベクトル v を、

$$A = \begin{pmatrix} \sum_{i=1}^I x_{i1} x_{i1} & \sum_{i=1}^I x_{i1} x_{i2} & \cdots & \sum_{i=1}^I x_{i1} x_{iJ} \\ \sum_{i=1}^I x_{i2} x_{i1} & \sum_{i=1}^I x_{i2} x_{i2} & \cdots & \sum_{i=1}^I x_{i2} x_{iJ} \\ \cdots & \cdots & \cdots & \cdots \\ \sum_{i=1}^I x_{iJ} x_{i1} & \sum_{i=1}^I x_{iJ} x_{i2} & \cdots & \sum_{i=1}^I x_{iJ} x_{iJ} \end{pmatrix}$$

$$v = \begin{pmatrix} \sum_{i=1}^I x_{i1} y_i \\ \sum_{i=1}^I x_{i2} y_i \\ \cdots \\ \sum_{i=1}^I x_{iJ} y_i \end{pmatrix}$$

で定義するとともに、ベクトル W を数 1 で示したように定義すると、次の式 (8) で表すことができる。

$$AW = v \quad \cdots (8)$$

式 (7) における各正規方程式は、生徒データ x_{ij} 及び教師データ y_i のセットをある程度の数だけ用意することで、求めるべきタップ係数 w_j の数 J と同じ数だけたてることができる。したがって、式 (8) をベクトル W について解くことで (ただし、式 (8) を解くには、式 (8) における行列 A が正則である必要がある)、最適なタップ係数 (ここでは、自乗誤差を最小にするタップ係数) w_j を求めることができる。なお、式 (8) を解くに当たっては、例えば、掃き出し法 (Gauss-Jordan の消去法) などを用いることが可能である。

以上のようにして、最適なタップ係数 w_j を求めておき、さらに、そのタップ

係数 w_j を用い、式(1)により、元の画素値 y に近い予測値 $E[y]$ を求めるのが適応処理である。

なお、例えば、教師データとして、J P E G符号化する画像と同一画質の画像を用いるとともに、生徒データとして、その教師データをD C T及び量子化して得られる量子化D C T係数を用いた場合、タップ係数としては、J P E G符号化された画像データを元の画像データに復号するのに、予測誤差が統計的に最小となるものが得られることになる。

したがって、J P E G符号化を行う際の圧縮率を高くしても、すなわち、量子化に用いる量子化ステップを粗くしても、適応処理によれば、予測誤差が統計的に最小となる復号処理が施されることになり、実質的に、J P E G符号化された画像の復号処理と、その画質を向上させるための処理とが同時に施されることになる。その結果、圧縮率を高くしても、復号画像の画質を維持することができる。

また、例えば、教師データとして、J P E G符号化する画像よりも高画質の画像を用いるとともに、生徒データとして、その教師データの画質をJ P E G符号化する画像と同一画質に劣化させ、さらに、D C T及び量子化して得られる量子化D C T係数を用いた場合、タップ係数としては、J P E G符号化された画像データを高画質の画像データに復号するのに、予測誤差が統計的に最小となるものが得られることになる。

したがって、この場合、適応処理によれば、J P E G符号化された画像の復号処理と、その画質をより向上させるための処理とが同時に施されることになる。なお、上述したことから、教師データ又は生徒データとなる画像の画質を変えることで、復号画像の画質を任意のレベルとするタップ係数を得ることができる。

図5は、以上のようなクラス分類適応処理により量子化D C T係数を画素値に復号する図3の係数変換回路32の構成例を示している。

この図5に示す係数変換回路32Aにおいて、エントロピー復号回路31(図3)が出力するブロックごとの量子化D C T係数は、予測タップ抽出回路41及びクラスタップ抽出回路42に供給されるようになっている。

予測タップ抽出回路41は、そこに供給される量子化D C T係数のブロック(以下、適宜、D C Tブロックという)に対応する画素値のブロック(この画素

値のブロックは、現段階では存在しないが、仮想的に想定される）（以下、適宜、画素ブロックという）を順次注目画素ブロックとし、さらに、その注目画素ブロックを構成する各画素を例えばいわゆるラスタスキャン順に順次注目画素とする。さらに、予測タップ抽出回路41は、注目画素の画素値を予測するのに用いる量子化DCT係数を抽出し、予測タップとする。

すなわち、予測タップ抽出回路41は、例えば、図6に示すように、注目画素が属する画素ブロックに対応するDCTブロックのすべての量子化DCT係数、すなわち、 8×8 の64個の量子化DCT係数を予測タップとして抽出する。したがって、この実施の形態では、ある画素ブロックのすべての画素について、同一の予測タップが構成される。ただし、予測タップは、注目画素ごとに、異なる量子化DCT係数で構成することが可能である。

予測タップ抽出回路41において得られる画素ブロックを構成する各画素についての予測タップすなわち64画素それぞれについての64セットの予測タップは、積和演算回路45に供給される。ただし、この実施の形態では、上述したように、画素ブロックのすべての画素について、同一の予測タップが構成されるので、実際には、1つの画素ブロックに対して、1セットの予測タップを積和演算回路45に供給すれば良い。

クラスタップ抽出回路42は、注目画素を幾つかのクラスの中のいずれかに分類するためのクラス分類に用いる量子化DCT係数を抽出して、クラスタップとする。

なお、JPEG符号化では、画像が画素ブロックごとに符号化（DCT処理及び量子化）されることから、ある画素ブロックに属する画素は、例えば、すべて同一のクラスにクラス分類することとする。したがって、クラスタップ抽出回路42は、ある画素ブロックの各画素については、同一のクラスタップを構成する。すなわち、クラスタップ抽出回路42は、例えば、予測タップ抽出回路41における場合と同様に、図6に示したような、注目画素が属する画素ブロックに対応するDCTブロックの 8×8 個のすべての量子化DCT係数をクラスタップとして抽出する。

ここで、画素ブロックに属する各画素をすべて同一のクラスにクラス分類する

ということは、その画素ブロックをクラス分類することと等価である。したがって、クラスタップ抽出回路42には、注目画素ブロックを構成する64画素それぞれをクラス分類するための64セットのクラスタップではなく、注目画素ブロックをクラス分類するための1セットのクラスタップを構成させれば良く、このため、クラスタップ抽出回路42は、画素ブロックごとに、その画素ブロックをクラス分類するために、その画素ブロックに対応するDCTブロックの64個の量子化DCT係数を抽出して、クラスタップとするようになっている。

なお、予測タップやクラスタップを構成する量子化DCT係数は、上述したパターンのもに限定されるものではない。

クラスタップ抽出回路42において得られる注目画素ブロックのクラスタップは、クラス分類回路43に供給されるようになっている。クラス分類回路43は、クラスタップ抽出回路42からのクラスタップに基づき、注目画素ブロックをクラス分類し、その結果得られるクラスに対応するクラスコードを出力する。

ここで、クラス分類を行う方法としては、例えば、ADRC(Adaptive Dynamic Range Coding)等を採用することができる。

ADRCを用いる方法では、クラスタップを構成する量子化DCT係数がADRC処理され、その結果得られるADRCコードにしたがって、注目画素ブロックのクラスが決定される。

なお、KビットADRCにおいては、例えば、クラスタップを構成する量子化DCT係数の最大値MAXと最小値MINが検出され、 $DR = MAX - MIN$ を集合の局所的なダイナミックレンジとし、このダイナミックレンジDRに基づいて、クラスタップを構成する量子化DCT係数がKビットに再量子化される。すなわち、クラスタップを構成する量子化DCT係数の中から、最小値MINが減算され、その減算値が $DR / 2K$ で除算(量子化)される。そして、以上のようにして得られる、クラスタップを構成するKビットの各量子化DCT係数を所定の順番で並べたビット列がADRCコードとして出力される。したがって、クラスタップが例えば1ビットADRC処理された場合には、そのクラスタップを構成する各量子化DCT係数は、最小値MINが減算された後に、最大値MAXと最小値MINとの平均値で除算され、これにより、各量子化DCT係数が1ビット

トとされる（2値化される）。そして、その1ビットの量子化DCT係数を所定の順番で並べたビット列がADRCコードとして出力される。

なお、クラス分類回路43には、例えば、クラスタップを構成する量子化DCT係数のレベル分布のパターンをそのままクラスコードとして出力させることも可能であるが、この場合、クラスタップがN個の量子化DCT係数で構成され、各量子化DCT係数に、Kビットが割り当てられているとすると、クラス分類回路43が出力するクラスコードの場合の数は、 $(2^N)^K$ 通りとなり、量子化DCT係数のビット数Kに指数的に比例した膨大な数となる。

したがって、クラス分類回路43においては、クラスタップの情報量を上述のADRC処理やあるいはベクトル量子化等によって圧縮してから、クラス分類を行うのが好ましい。

ところで、この実施の形態では、クラスタップは、上述したように、64個の量子化DCT係数で構成される。したがって、例えば、仮に、クラスタップを1ビットADRC処理することにより、クラス分類を行うこととしても、クラスコードの場合の数は、 2^{64} 通りという大きな値となる。

そこで、この実施の形態では、クラス分類回路43において、クラスタップを構成する量子化DCT係数から、重要性の高い特徴量を抽出し、その特徴量に基づいてクラス分類を行うことで、クラス数を低減するようになっている。

すなわち、図7は、図5のクラス分類回路43の構成例を示している。

クラスタップは、電力演算回路51に供給されるようになっている。電力演算回路51は、クラスタップを構成する量子化DCT係数を幾つかの空間周波数帯域のものに分け、各周波数帯域の電力を演算する。

すなわち、電力演算回路51は、クラスタップを構成する 8×8 個の量子化DCT係数を例えば図8に示すような4つの空間周波数帯域 S_0 、 S_1 、 S_2 、 S_3 に分割する。

ここで、クラスタップを構成する 8×8 個の量子化DCT係数それぞれをアルファベットxに、図6に示したようなラスタスキャン順に0からのシーケンシャルな整数を付して表すこととすると、空間周波数帯域 S_0 は、4個の量子化DCT係数 x_0 、 x_1 、 x_2 、 x_3 から構成され、空間周波数帯域 S_1 は、12個の量子

化DCT係数 $x_2, x_3, x_4, x_5, x_6, x_7, x_{10}, x_{11}, x_{12}, x_{13}, x_{14}, x_{15}$ から構成される。また、空間周波数帯域 S_2 は、12個の量子化DCT係数 $x_{16}, x_{17}, x_{24}, x_{25}, x_{32}, x_{33}, x_{40}, x_{41}, x_{48}, x_{49}, x_{56}, x_{57}$ から構成され、空間周波数帯域 S_3 は、36個の量子化DCT係数 $x_{18}, x_{19}, x_{20}, x_{21}, x_{22}, x_{23}, x_{26}, x_{27}, x_{28}, x_{29}, x_{30}, x_{31}, x_{34}, x_{35}, x_{36}, x_{37}, x_{38}, x_{39}, x_{42}, x_{43}, x_{44}, x_{45}, x_{46}, x_{47}, x_{50}, x_{51}, x_{52}, x_{53}, x_{54}, x_{55}, x_{58}, x_{59}, x_{60}, x_{61}, x_{62}, x_{63}$ から構成される。

さらに、電力演算回路51は、空間周波数帯域 S_0, S_1, S_2, S_3 それぞれについて、量子化DCT係数のAC成分の電力 P_0, P_1, P_2, P_3 を演算し、クラスコード生成回路52に出力する。

すなわち、電力演算回路51は、空間周波数帯域 S_0 については、上述の4個の量子化DCT係数 x_0, x_1, x_8, x_9 のうちのAC成分 x_1, x_8, x_9 の2乗和 $x_1^2 + x_8^2 + x_9^2$ を求め、これを電力 P_0 として、クラスコード生成回路52に出力する。また、電力演算回路51は、空間周波数帯域 S_1 についての上述の12個の量子化DCT係数のAC成分、すなわち、12個すべての量子化DCT係数の2乗和を求め、これを電力 P_1 として、クラスコード生成回路52に出力する。さらに、電力演算回路51は、空間周波数帯域 S_2 と空間周波数帯域 S_3 についても、空間周波数帯域 S_1 における場合と同様にして、それぞれの電力 P_2 と電力 P_3 を求め、クラスコード生成回路52に出力する。

クラスコード生成回路52は、電力演算回路51からの電力 P_0, P_1, P_2, P_3 を閾値テーブル記憶部53に記憶された対応する閾値 TH_0, TH_1, TH_2, TH_3 とそれぞれ比較し、それぞれの大小関係に基づいて、クラスコードを出力する。すなわち、クラスコード生成回路52は、電力 P_0 と閾値 TH_0 とを比較し、その大小関係を表す1ビットのコードを得る。同様に、クラスコード生成回路52は、電力 P_1 と閾値 TH_1 、電力 P_2 と閾値 TH_2 、電力 P_3 と閾値 TH_3 をそれぞれ比較することにより、それぞれについて、1ビットのコードを得る。そして、クラスコード生成回路52は、以上のようにして得られる4つの1ビットのコードを例えば所定の順番で並べることにより得られる4ビットのコード（したがって、0～15のうちのいずれかの値）を注目画素ブロックのクラスを表すクラス

コードとして出力する。したがって、この実施の形態では、注目画素ブロックは、 $2^4 (= 16)$ 個のクラスのうちのいずれかにクラス分類されることになる。

閾値テーブル記憶部 53 は、空間周波数帯域 $S_0 \sim S_3$ の電力 $P_0 \sim P_3$ とそれぞれ比較する閾値 $TH_0 \sim TH_3$ を記憶している。

なお、上述の場合には、クラス分類処理に量子化 DCT 係数の DC 成分 x_0 が用いられないが、この DC 成分 x_0 をも用いてクラス分類処理を行うことも可能である。

図 5 に戻り、以上のようなクラス分類回路 43 が出力するクラスコードは、係数テーブル記憶部 44 にアドレスとして与えられる。

係数テーブル記憶部 44 は、後述するような学習処理が行われることにより得られるタップ係数が登録された係数テーブルを記憶しており、クラス分類回路 43 が出力するクラスコードに対応するアドレスに記憶されているタップ係数を積和演算回路 45 に出力する。

ここでこの本実施の形態では、画素ブロックがクラス分類されるから、注目画素ブロックについて、1 つのクラスコードが得られる。一方、画素ブロックは、この実施の形態では、 8×8 画素の 64 画素で構成されるから、注目画素ブロックについて、それを構成する 64 画素それぞれを復号するための 64 セットのタップ係数が必要である。したがって、係数テーブル記憶部 44 には、1 つのクラスコードに対応するアドレスに対して、64 セットのタップ係数が記憶されている。

積和演算回路 45 は、予測タップ抽出回路 41 が出力する予測タップと、係数テーブル記憶部 44 が出力するタップ係数とを取得し、その予測タップとタップ係数とを用いて、式 (1) に示した線形予測演算（積和演算）を行い、その結果得られる注目画素ブロックの 8×8 画素の画素値を対応する DCT ブロックの復号結果としてブロック分解回路 33（図 3）に出力する。

ここで、予測タップ抽出回路 41 においては、上述したように、注目画素ブロックの各画素が順次注目画素とされるが、積和演算回路 45 は、注目画素ブロックの注目画素となっている画素の位置に対応した動作モード（以下、適宜、画素位置モードという）となって、処理を行う。

すなわち、例えば、注目画素ブロックの画素のうち、ラスタスキャン順で i 番目の画素を p_i と表し、画素 p_i が注目画素となっている場合、積和演算回路 4 5 は、画素位置モード # i の処理を行う。

具体的には、上述したように、係数テーブル記憶部 4 4 は、注目画素ブロックを構成する 6 4 画素それぞれを復号するための 6 4 セットのタップ係数を出力するが、そのうちの画素 p_i を復号するためのタップ係数のセットを W_i と表すと、積和演算回路 4 5 は、動作モードが画素位置モード # i のときには、予測タップと 6 4 セットのタップ係数のうちのセット W_i とを用いて、式 (1) の積和演算を行い、その積和演算結果を画素 p_i の復号結果とする。

次に、図 9 のフローチャートを参照して、図 5 の係数変換回路 3 2 A の処理について説明する。

エントロピー復号回路 3 1 が出力するブロックごとの量子化 DCT 係数は、予測タップ抽出回路 4 1 及びクラスタップ抽出回路 4 2 において順次受信される。予測タップ抽出回路 4 1 は、そこに供給される量子化 DCT 係数のブロック (DCT ブロック) に対応する画素ブロックを順次注目画素ブロックとする。

そして、クラスタップ抽出回路 4 2 は、ステップ S 1 1 において、そこで受信した量子化 DCT 係数の中から、注目画素ブロックをクラス分類するのに用いるものを抽出して、クラスタップを構成し、クラス分類回路 4 3 に供給する。

クラス分類回路 4 3 は、ステップ S 1 2 において、クラスタップ抽出回路 4 2 からのクラスタップを用いて、注目画素ブロックをクラス分類し、その結果得られるクラスコードを係数テーブル記憶部 4 4 に出力する。

すなわち、ステップ S 1 2 では、図 10 のフローチャートに示すように、まず最初に、ステップ S 2 1 において、クラス分類回路 4 3 (図 7) の電力演算回路 5 1 が、クラスタップを構成する 8×8 個の量子化 DCT 係数を図 8 に示した 4 つの空間周波数帯域 $S_0 \sim S_3$ に分割し、それぞれの電力 $P_0 \sim P_3$ を演算する。この電力 $P_0 \sim P_3$ は、電力演算回路 5 1 からクラスコード生成回路 5 2 に出力される。

クラスコード生成回路 5 2 は、ステップ S 2 2 において、閾値テーブル記憶部 5 3 から閾値 $TH_0 \sim TH_3$ を読み出し、電力演算回路 5 1 からの電力 $P_0 \sim P_3$ そ

れそれぞれ、閾値 $TH_0 \sim TH_3$ それぞれとを比較し、それぞれの大小関係に基づいたクラスコードを生成して、リターンする。

図9に戻り、ステップS12において以上のようにして得られるクラスコードは、クラス分類回路43から係数テーブル記憶部44に対して、アドレスとして与えられる。

係数テーブル記憶部44は、クラス分類回路43からのアドレスとしてのクラスコードを受信すると、ステップS13において、そのアドレスに記憶されている64セットのタップ係数を読み出し、積和演算回路45に出力する。

そして、ステップS14に進み、予測タップ抽出回路41は、注目画素ブロックの画素のうち、ラスタスキャン順で、まだ、注目画素とされていない画素を注目画素として、その注目画素の画素値を予測するのに用いる量子化DCT係数を抽出し、予測タップとして構成する。この予測タップは、予測タップ抽出回路41から積和演算回路45に供給される。

ここで、この実施の形態では、各画素ブロックごとに、その画素ブロックのすべての画素について、同一の予測タップが構成されるので、実際には、ステップS14の処理は、注目画素ブロックについて、最初に注目画素とされる画素に対してだけ行えば、残りの63画素に対しては、行う必要がない。

積和演算回路45は、ステップS15において、ステップS13で係数テーブル記憶部44が出力する64セットのタップ係数のうち、注目画素に対する画素位置モードに対応するタップ係数のセットを取得し、そのタップ係数のセットと、ステップS14で予測タップ抽出回路41から供給される予測タップとを用いて、式(1)に示した積和演算を行い、注目画素の画素値の復号値を得る。

そして、ステップS16に進み、予測タップ抽出回路41は、注目画素ブロックのすべての画素を注目画素として処理を行ったかどうかを判定する。ステップS16において、注目画素ブロックのすべての画素を注目画素として、まだ処理を行っていないと判定された場合、ステップS14に戻り、予測タップ抽出回路41は、注目画素ブロックの画素のうち、ラスタスキャン順で、まだ、注目画素とされていない画素を新たに注目画素として、以下、同様の処理を繰り返す。

また、ステップS16において、注目画素ブロックのすべての画素を注目画素

として処理を行ったと判定された場合、すなわち、注目画素ブロックのすべての画素の復号値が得られた場合、積和演算回路45は、その復号値で構成される画素ブロック（復号ブロック）をブロック分解回路33（図3）に出力し、処理を終了する。

なお、図9のフローチャートにしたがった処理は、予測タップ抽出回路41が新たな注目画素ブロックを設定することに繰り返し行われる。

次に、図11は、図5の係数テーブル記憶部44に記憶させるタップ係数の学習処理を行う学習装置60Aの構成例を示している。

ブロック化回路61には、1枚以上の学習用の画像データが学習時の教師となる教師データとして供給されるようになっている。ブロック化回路61は、教師データとしての画像をJPG符号化における場合と同様に8×8画素の画素ブロックにブロック化する。

DCT回路62は、ブロック化回路61がブロック化した画素ブロックを順次注目画素ブロックとして読み出し、その注目画素ブロックをDCT処理することでDCT係数のブロックとする。このDCT係数のブロックは、量子化回路63に供給される。

量子化回路63は、DCT回路62からのDCT係数のブロックをJPG符号化に用いられるのと同じの量子化テーブルにしたがって量子化し、その結果得られる量子化DCT係数のブロック（DCTブロック）を予測タップ抽出回路64及びクラスタップ抽出回路65に順次供給する。

予測タップ抽出回路64は、注目画素ブロックの画素のうち、ラスタスキャン順で、まだ、注目画素とされていない画素を注目画素として、その注目画素について、図5の予測タップ抽出回路41が構成するのと同じの予測タップを量子化回路63の出力から、必要な量子化DCT係数を抽出することで構成する。この予測タップは、学習時の生徒となる生徒データとして、予測タップ抽出回路64から正規方程式加算回路67に供給される。

クラスタップ抽出回路65は、注目画素ブロックについて、図5のクラスタップ抽出回路42が構成するのと同じのクラスタップを量子化回路63の出力から、必要な量子化DCT係数を抽出することで構成する。このクラスタップは、クラ

スタップ抽出回路 65 からクラス分類回路 66 に供給される。

クラス分類回路 66 は、クラススタップ抽出回路 65 からのクラススタップを用いて、図 5 のクラス分類回路 43 と同一の処理を行うことで、注目画素ブロックをクラス分類し、その結果得られるクラスコードを正規方程式加算回路 67 に供給する。

正規方程式加算回路 67 は、ブロック化回路 61 から、教師データとしての注目画素の画素値を読み出し、予測タップ構成回路 64 からの生徒データとしての予測タップを構成する量子化 DCT 係数及び注目画素を対象とした足し込みを行う。

すなわち、正規方程式加算回路 67 は、クラス分類回路 66 から供給されるクラスコードに対応するクラスごとに、予測タップ（生徒データ）を用い、式（8）の行列 A における各コンポーネントとなっている、生徒データどうしの乗算 $(x_{in} x_{im})$ と、サメーション（ Σ ）に相当する演算を行う。

さらに、正規方程式加算回路 67 は、やはり、クラス分類回路 66 から供給されるクラスコードに対応するクラスごとに、予測タップ（生徒データ）及び注目画素（教師データ）を用い、式（8）のベクトル v における各コンポーネントとなっている、生徒データと教師データの乗算 $(x_{in} y_i)$ とサメーション（ Σ ）に相当する演算を行う。

なお、正規方程式加算回路 67 における、上述のような足し込みは、各クラスについて、注目画素に対する画素位置モードごとに行われる。

正規方程式加算回路 67 は、以上の足し込みをブロック化回路 61 に供給された教師画像を構成する画素すべてを注目画素として行い、これにより、各クラスについて、画素位置モードごとに、式（8）に示した正規方程式がたてられる。

タップ係数決定回路 68 は、正規方程式加算回路 67 においてクラスごとに、かつ、画素位置モードごとに生成された正規方程式を解くことにより、クラスごとに、64 セットのタップ係数を求め、係数テーブル記憶部 69 の各クラスに対応するアドレスに供給する。

なお、学習用の画像として用意する画像の枚数や、その画像の内容等によっては、正規方程式加算回路 67 において、タップ係数を求めるのに必要な数の正規

方程式が得られないクラスが生じる場合があり得るが、タップ係数決定回路 6 8 は、そのようなクラスについては、例えば、デフォルトのタップ係数を出力する。

係数テーブル記憶部 6 9 は、タップ係数決定回路 6 8 から供給されるクラスごとの 6 4 セットのタップ係数を記憶する。

次に、図 1 2 のフローチャートを参照して、図 1 1 の学習装置 6 0 A の処理（学習処理）について説明する。

ブロック化回路 6 1 には、学習用の画像データが教師データとして供給され、ブロック化回路 6 1 は、ステップ S 3 1 において、教師データとしての画像データを J P E G 符号化における場合と同様に 8 × 8 画素の画素ブロックにブロック化して、ステップ S 3 2 に進む。ステップ S 3 2 では、D C T 回路 6 2 が、ブロック化回路 6 1 がブロック化した画素ブロックを順次読み出し、その注目画素ブロックを D C T 処理することで、D C T 係数のブロックとし、ステップ S 3 3 に進む。ステップ S 3 3 では、量子化回路 6 3 が、D C T 回路 6 2 において得られた D C T 係数のブロックを順次読み出し、J P E G 符号化に用いられるのと同じの量子化テーブルにしたがって量子化して、量子化 D C T 係数で構成されるブロック（D C T ブロック）とする。

そして、ステップ S 3 4 に進み、クラスタップ抽出回路 6 5 は、ブロック化回路 6 1 でブロック化された画素ブロックのうち、まだ注目画素ブロックとされていないものを注目画素ブロックとする。さらに、クラスタップ抽出回路 6 5 は、注目画素ブロックをクラス分類するのに用いる量子化 D C T 係数を量子化回路 6 3 で得られた D C T ブロックから抽出して、クラスタップを構成し、クラス分類回路 6 6 に供給する。クラス分類回路 6 6 は、ステップ S 3 5 において、図 1 0 のフローチャートで説明した場合と同様に、クラスタップ抽出回路 6 5 からのクラスタップを用いて、注目画素ブロックをクラス分類し、その結果得られるクラスコードを正規方程式加算回路 6 7 に供給して、ステップ S 3 6 に進む。

ステップ S 3 6 では、予測タップ抽出回路 6 4 が、注目画素ブロックの画素のうち、ラスタスキャン順で、まだ、注目画素とされていない画素を注目画素として、その注目画素について、図 5 の予測タップ抽出回路 4 1 が構成するのと同じの予測タップを量子化回路 6 3 の出力から必要な量子化 D C T 係数を抽出するこ

とで構成する。そして、予測タップ抽出回路64は、注目画素についての予測タップを生徒データとして正規方程式加算回路67に供給し、ステップS37に進む。

ステップS37では、正規方程式加算回路67は、ブロック化回路61から、教師データとしての注目画素を読み出し、生徒データとしての予測タップを構成する量子化DCT係数及び教師データとしての注目画素を対象として、式(8)の行列Aとベクトルvの上述したような足し込みを行う。なお、この足し込みは、クラス分類回路66からのクラスコードに対応するクラスごとに、かつ注目画素に対する画素位置モードごとに行われる。

そして、ステップS38に進み、予測タップ抽出回路64は、注目画素ブロックのすべての画素を注目画素として、足し込みを行ったかどうかを判定する。ステップS38において、注目画素ブロックのすべての画素を注目画素として、まだ足し込みを行っていないと判定された場合、ステップS36に戻り、予測タップ抽出回路64は、注目画素ブロックの画素のうち、ラストスキャン順で、まだ、注目画素とされていない画素を新たに注目画素として、以下、同様の処理を繰り返す。

また、ステップS38において、注目画素ブロックのすべての画素を注目画素として、足し込みを行ったと判定された場合、ステップS39に進み、ブロック化回路61は、教師データとしての画像から得られたすべての画素ブロックを注目画素ブロックとして処理を行ったかどうかを判定する。ステップS39において、教師データとしての画像から得られたすべての画素ブロックを注目画素ブロックとして、まだ処理を行っていないと判定された場合、ステップS34に戻り、ブロック化回路61でブロック化された画素ブロックのうち、まだ注目画素ブロックとされていないものが新たに注目画素ブロックとされ、以下、同様の処理が繰り返される。

一方、ステップS39において、教師データとしての画像から得られたすべての画素ブロックを注目画素ブロックとして処理を行ったと判定された場合、すなわち、正規方程式加算回路67において、各クラスについて、画素位置モードごとの正規方程式が得られた場合、ステップS40に進み、タップ係数決定回路6

8は、各クラスの画素位置モードごとに生成された正規方程式を解くことにより、各クラスごとに、そのクラスの64の画素位置モードそれぞれに対応する64セットのタップ係数を求め、係数テーブル記憶部69の各クラスに対応するアドレスに供給して記憶させ、処理を終了する。

以上のようにして、係数テーブル記憶部69に記憶された各クラスごとのタップ係数が図5の係数テーブル記憶部44に記憶されている。

したがって、係数テーブル記憶部44に記憶されたタップ係数は、線形予測演算を行うことにより得られる元の画素値の予測値の予測誤差（ここでは、自乗誤差）が統計的に最小になるように学習を行うことにより求められたものであり、その結果、図5の係数変換回路32Aによれば、J P E G符号化された画像を元の画像に限りなく近い画像に復号することができる。

また、上述したように、J P E G符号化された画像の復号処理と、その画質を向上させるための処理とが同時に施されることとなるので、J P E G符号化された画像から効率的に画質の良い復号画像を得ることができる。

次に、図13は、図3の係数変換回路32の他の構成例を示している。なお、図中、図5における場合と対応する部分については、同一の符号を付して、その説明を適宜省略する。すなわち、この図13に示す係数変換回路32Bは、逆量子化回路71が新たに設けられている他は、基本的に、図5における場合と同様に構成されている。

図13に示す係数変換回路32Bにおいて、逆量子化回路71には、エントロピー復号回路31（図3）において符号化データをエントロピー復号することにより得られるブロックごとの量子化D C T係数が供給される。

なお、エントロピー復号回路31においては、上述したように、符号化データから、量子化D C T係数の他、量子化テーブルも得られるが、図13の係数変換回路32Bでは、この量子化テーブルも、エントロピー復号回路31から逆量子化回路71に供給されるようになっている。

逆量子化回路71は、エントロピー復号回路31からの量子化D C T係数を同じくエントロピー復号回路31からの量子化テーブルにしたがって逆量子化し、その結果得られるD C T係数を予測タップ抽出回路41及びクラスタップ抽出回

路 4 2 に供給する。

したがって、予測タップ抽出回路 4 1 とクラスタップ抽出回路 4 2 では、量子化 D C T 係数ではなく、D C T 係数を対象として予測タップとクラスタップがそれぞれ構成され、以降も、D C T 係数を対象として、図 5 における場合と同様の処理が行われる。

このように、図 1 3 の係数変換回路 3 2 B では、量子化 D C T 係数ではなく、D C T 係数を対象として処理が行われるため、係数テーブル記憶部 4 4 に記憶させるタップ係数は、図 5 における場合と異なるものとする必要がある。

そこで、図 1 4 は、図 1 3 の係数テーブル記憶部 4 4 に記憶させるタップ係数の学習処理を行う学習装置 6 0 B の他の構成例を示している。なお、図中、図 1 1 における場合と対応する部分については、同一の符号を付して、その説明を適宜省略する。すなわち、図 1 4 に示す学習装置 6 0 B は、量子化回路 6 3 の後段に逆量子化回路 8 1 が新たに設けられている他は、図 1 1 における場合と基本的に同様に構成されている。

図 1 4 の学習装置 6 0 B において、逆量子化回路 8 1 は、逆量子化回路 6 3 が出力する量子化 D C T 係数を図 1 3 の逆量子化回路 7 1 と同様に逆量子化し、その結果得られる D C T 係数を予測タップ抽出回路 6 4 及びクラスタップ抽出回路 6 5 に供給する。

したがって、予測タップ抽出回路 6 4 とクラスタップ抽出回路 6 5 では、量子化 D C T 係数ではなく、D C T 係数を対象として予測タップとクラスタップがそれぞれ構成され、以降も、D C T 係数を対象として、図 1 1 における場合と同様の処理が行われる。

その結果、D C T 係数が量子化され、さらに逆量子化されることにより生じる量子化誤差の影響を低減するタップ係数が得られることになる。

次に、図 1 5 は、図 3 の係数変換回路 3 2 の他の構成例を示している。なお、図中、図 5 における場合と対応する部分については、同一の符号を付して、その説明を適宜省略する。すなわち、図 1 3 に示す係数変換回路 3 2 C は、クラスタップ抽出回路 4 2 及びクラス分類回路 4 3 が設けられていない他は、基本的に、図 5 における場合と同様に構成されている。

したがって、図 1 5 に示す係数変換回路 3 2 C では、クラスという概念がないが、このことはクラスが 1 つであるとも考えるから、係数テーブル記憶部 4 4 には 1 クラスのタップ係数だけが記憶されており、これを用いて処理が行われる。

このように、図 1 5 の係数変換回路 3 2 C では、係数テーブル記憶部 4 4 に記憶されているタップ係数は、図 5 における場合と異なるものとなっている。

そこで、図 1 6 は、図 1 5 の係数テーブル記憶部 4 4 に記憶させるタップ係数の学習処理を行う学習装置 6 0 C の構成例を示している。なお、図中、図 1 1 における場合と対応する部分については、同一の符号を付して、その説明を適宜省略する。すなわち、図 1 6 に示す学習装置 6 0 C は、クラスタップ抽出回路 6 5 及びクラス分類回路 6 6 が設けられていない他は、図 1 1 における場合と基本的に同様に構成されている。

したがって、図 1 6 の学習装置 6 0 C では、正規方程式加算回路 6 7 において、上述の足し込みがクラスには無関係に画素位置モード別に行われる。そして、タップ係数決定回路 6 8 において、画素位置モードごとに生成された正規方程式を解くことにより、タップ係数が求められる。

次に、図 1 7 は、図 3 の係数変換回路 3 2 の他の構成例を示している。なお、図中、図 5 又は図 1 3 における場合と対応する部分については、同一の符号を付して、その説明を適宜省略する。すなわち、図 1 7 に示す係数変換回路 3 2 D は、クラスタップ抽出回路 4 2 及びクラス分類回路 4 3 が設けられておらず、かつ逆量子化回路 7 1 が新たに設けられている他は、基本的に、図 5 における場合と同様に構成されている。

したがって、図 1 7 の係数変換回路 3 2 D では、図 1 5 の係数変換回路 3 2 C と同様に、係数テーブル記憶部 4 4 には、1 クラスのタップ係数だけが記憶されており、これを用いて処理が行われる。

さらに、図 1 7 の係数変換回路 3 2 D では、図 1 3 の係数変換回路 3 2 B における場合と同様に、予測タップ抽出回路 4 1 において、量子化 D C T 係数ではなく、逆量子化回路 7 1 が出力する D C T 係数を対象として、予測タップが構成され、以降も D C T 係数を対象として、処理が行われる。

したがって、図 1 7 の係数変換回路 3 2 D でも、係数テーブル記憶部 4 4 に記

憶されているタップ係数は、図 5 における場合と異なるものとなっている。

そこで、図 18 は、図 17 の係数テーブル記憶部 44 に記憶させるタップ係数の学習処理を行う学習装置 60D の構成例を示している。なお、図中、図 11 又は図 14 における場合と対応する部分については、同一の符号を付して、その説明を適宜省略する。すなわち、図 18 に示す学習装置 60D は、クラスタップ抽出回路 65 及びクラス分類回路 66 が設けられておらず、かつ逆量子化回路 81 が新たに設けられている他は、図 11 における場合と基本的に同様に構成されている。

したがって、図 18 の学習装置 60D では、予測タップ抽出回路 64 において、量子化 DCT 係数ではなく、DCT 係数を対象として、予測タップが構成され、以降も、DCT 係数を対象として処理が行われる。さらに、正規方程式加算回路 67 において、上述の足し込みがクラスには無関係に行われ、タップ係数決定回路 68 において、クラスと無関係に生成された正規方程式を解くことにより、タップ係数が求められる。

次に、以上においては、静止画を圧縮符号化する JPEG 符号化された画像を対象としたが、本発明は、動画を圧縮符号化する、例えば、MPEG 符号化された画像を対象とすることも可能である。

すなわち、図 19 は、MPEG 符号化が行われる場合の図 2 のエンコーダ 21 の構成例を示している。

この図 19 に示すエンコーダ 21 において、MPEG 符号化の対象である動画を構成するフレーム又はフィールドは、順次、動き検出回路 91 と演算器 92 に供給される。

動き検出回路 91 は、そこに供給されるフレームについて、マクロブロック単位で、動きベクトルを検出し、エントロピー符号化回路 96 及び動き補償回路 100 に供給する。

演算器 92 は、そこに供給される画像が I (Intra) ピクチャであれば、そのままブロック化回路 93 に供給し、P (Predictive) 又は B (Bidirectionally predictive) ピクチャであれば、動き補償回路 100 から供給される参照画像との差分を演算して、その差分値をブロック化回路 93 に供給する。

ブロック化回路 93 は、演算器 92 の出力を 8×8 画素の画素ブロックにブロック化し、DCT 回路 94 に供給する。DCT 回路 94 は、ブロック化回路 93 からの画素ブロックを DCT 処理し、その結果得られる DCT 係数を量子化回路 95 に供給する。量子化回路 95 は、DCT 回路 93 からのブロック単位の DCT 係数を所定の量子化ステップで量子化し、その結果得られる量子化 DCT 係数をエントロピー符号化回路 96 に供給する。エントロピー符号化回路 96 は、量子化回路 95 からの量子化 DCT 係数をエントロピー符号化し、動き検出回路 91 からの動きベクトルやその他の必要な情報を付加して、その結果得られる符号化データを MPEG 符号化結果として出力する。

量子化回路 95 が出力する量子化 DCT 係数のうち、I ピクチャ及び P ピクチャは、後で符号化される P ピクチャや B ピクチャの参照画像として用いるのにローカルデコードする必要があるため、エントロピー符号化回路 96 の他、逆量子化回路 97 にも供給される。

逆量子化回路 97 は、量子化回路 95 からの量子化 DCT 係数を逆量子化することにより DCT 係数とし、逆 DCT 回路 98 に供給する。逆 DCT 回路 98 は、逆量子化回路 97 からの DCT 係数を逆 DCT 処理し、演算器 99 に出力する。演算器 99 には、逆 DCT 回路 98 の出力の他、動き補償回路 100 が出力する参照画像も供給されるようになっている。演算器 99 は、逆 DCT 回路 98 の出力が P ピクチャのものである場合には、その出力と動き補償回路 100 の出力とを加算することで、元の画像を復号し、動き補償回路 100 に供給する。また、演算器 99 は、逆 DCT 回路 98 の出力が I ピクチャのものである場合には、その出力は I ピクチャの復号画像となっているので、そのまま動き補償回路 100 に供給する。

動き補償回路 100 は、演算器 99 から供給されるローカルデコードされた画像に対して、動き検出回路 91 からの動きベクトルにしたがった動き補償を施し、その動き補償後の画像を参照画像として演算器 92 及び演算器 99 に供給する。

ここで、図 20 は、以上のような MPEG 符号化の結果得られる符号化データを復号する MPEG デコーダ 110 の構成例を示している。

この MPEG デコーダ 110 において、符号化データは、エントロピー復号回

路111に供給される。エントロピー復号回路111は、符号化データをエントロピー復号し、量子化DCT係数、動きベクトル、その他の情報を得る。そして、量子化DCT係数は、逆量子化回路112に供給され、動きベクトルは、動き補償回路116に供給される。

逆量子化回路112は、エントロピー復号回路111からの量子化DCT係数を逆量子化することによりDCT係数とし、逆DCT回路113に供給する。

逆DCT回路113は、逆量子化回路112からのDCT係数を逆DCT処理し、演算器114に出力する。演算器114には、逆量子化回路113の出力の他、動き補償回路116が出力する、既に復号されたIピクチャ又はPピクチャをエントロピー復号回路111からの動きベクトルにしたがって動き補償したものが参照画像として供給されるようになっている。演算器114は、逆DCT回路113の出力がPピクチャ又はBピクチャのものである場合には、その出力と動き補償回路100の出力とを加算することで、元の画像を復号し、ブロック分解回路115に供給する。また、演算器114は、逆DCT回路113の出力がIピクチャのものである場合には、その出力はIピクチャの復号画像となっているので、そのままブロック分解回路115に供給する。

ブロック分解回路115は、演算器114から画素ブロック単位で供給される復号画像のブロック化を解くことで、復号画像を得て出力する。

一方、動き補償回路116は、演算器114が出力する復号画像のうちのIピクチャとPピクチャを受信し、エントロピー復号回路111からの動きベクトルにしたがった動き補償を施す。そして、動き補償回路116は、その動き補償後の画像を参照画像として演算器114に供給する。

図3のデコーダ22では、MPEG符号化された符号化データも、上述のように効率的に画質の良い画像に復号することができる。

すなわち、符号化データは、エントロピー復号回路31に供給され、エントロピー復号回路31は、符号化データをエントロピー復号する。このエントロピー復号の結果得られる量子化DCT係数、動きベクトル、その他の情報は、エントロピー復号回路31から係数変換回路32に供給される。

係数変換回路32は、エントロピー復号回路31からの量子化DCT係数Qと、

学習を行うことにより求められたタップ係数を用いて、所定の予測演算を行うとともに、エントロピー復号回路 31 からの動きベクトルにしたがった動き補償を必要に応じて行うことにより、量子化 DCT 係数を元の画素値に復号し、ブロック分解回路 33 に供給する。

ブロック分解回路 33 は、係数変換回路 32 において得られた復号された画素となる画素ブロックのブロック化を解くことで、復号画像を得て出力する。

次に、図 21 は、デコーダ 22 において MPEG 符号化された符号化データを復号する場合の図 3 の係数変換回路 32 の構成例を示している。なお、図中、図 17 又は図 20 における場合と対応する部分については、同一の符号を付して、その説明を適宜省略する。すなわち、図 21 に示す係数変換回路 32 E は、積和演算回路 45 の後段に、図 20 における演算器 114 及び動き補償回路 116 が設けられている他は、図 17 における場合と同様に構成されている。

したがって、図 21 の係数変換回路 32 E では、タップ係数を用いた予測演算が図 20 の MPEG デコーダの逆 DCT 回路 113 における逆 DCT 処理に替えて行われ、以降は、図 20 における場合と同様にして復号画像が得られる。

次に、図 22 は、図 21 の係数テーブル記憶部 44 に記憶させるタップ係数を学習する学習装置 60 E の構成例を示している。なお、図中、図 18 における場合と対応する部分については、同一の符号を付して、その説明を適宜省略する。

この図 22 に示す学習装置 60 E において、動きベクトル検出回路 121 及び演算器 122 には、学習用の画像が教師データとして入力される。動きベクトル検出回路 121、演算器 122、ブロック化回路 123、DCT 回路 124、量子化回路 125、逆量子化回路 127、逆 DCT 回路 128、演算器 129 又は動き補償回路 130 は、図 19 の動きベクトル検出回路 91、演算器 92、ブロック化回路 93、DCT 回路 94、量子化回路 95、逆量子化回路 97、逆 DCT 回路 98、演算器 99 又は動き補償回路 100 とそれぞれ同様の処理を行い、これにより、量子化回路 125 からは、図 19 の量子化回路 95 が出力するのと同様の量子化 DCT 係数が出力される。

量子化回路 125 が出力する量子化 DCT 係数は、逆量子化回路 81 に供給され、逆量子化回路 81 は、量子化回路 125 からの量子化 DCT 係数を逆量子化

し、DCT係数に変換して、予測タップ抽出回路64に供給する。予測タップ抽出回路64は、逆量子化回路81からのDCT係数から、予測タップを構成し、正規方程式加算回路67に供給する。

正規方程式加算回路67は、演算器122の出力を教師データとするとともに、逆量子化回路81からの予測タップを生徒データとして、上述したような足し込みを行い、これにより、正規方程式を生成する。

そして、タップ係数決定回路68は、正規方程式加算回路67で生成された正規方程式を解くことにより、タップ係数を求め、係数テーブル記憶部69に供給して記憶させる。

図21の積和演算回路45では、このようにして求められたタップ係数を用いて、MPEG符号化された符号化データが復号されるので、やはり、MPEG符号化された画像の復号処理と、その画質を向上させるための処理とを同時に施すことができ、したがって、MPEG符号化された画像から、率的に画質の良い復号画像を得ることができる。

なお、図21の係数変換回路32Eは、逆量子化回路71を設けずに構成することが可能である。この場合、図22の学習装置60Eは、逆量子化回路81を設けずに構成すれば良い。

また、図21の係数変換回路32Eは、図5における場合と同様に、クラスタップ抽出回路42及びクラス分類回路43を設けて構成することが可能である。この場合、図22の学習装置60Eは、図11における場合のように、クラスタップ抽出回路65及びクラス分類回路66を設けて構成すれば良い。

以上のように、本発明によれば、学習を行うことにより求められたタップ係数を取得し、そのタップ係数と変換データとを用いて、所定の予測演算を行うことにより、変換データを元のデータに復号するので、変換データを効率的に復号することができる。

また、本発明によれば、教師となる教師データを少なくとも直交変換又は周波数変換することにより、生徒となる生徒データを生成し、タップ係数及び生徒データを用いて予測演算を行うことにより得られる教師データの予測値の予測誤差を統計的に最小にするように学習を行うことにより、タップ係数を求め、そのタ

アップ係数を用いることにより、直交変換又は周波数変換されたデータを効率的に復号することが可能となる。

次に本発明の他の実施の形態について説明する。

次に説明する実施の形態では、上述の図2に示したデコーダ22として図23に示すようにエントロピー復号回路231、係数変換回路232及びブロック分解回路233からなるデコーダ222を用いて符号化データを復号する。

符号化データは、エントロピー復号回路231に供給されるようになっている。エントロピー復号回路231は、符号化データをエントロピー復号して、その結果得られるブロックごとの量子化DCT係数Qを係数変換回路232に供給する。なお、符号化データには、エントロピー符号化された量子化DCT係数の他、量子化テーブルも含まれるが、この量子化テーブルは、必要に応じて、量子化DCT係数の復号に用いることが可能である。

係数変換回路232は、エントロピー復号回路231からの量子化DCT係数Qと学習により求められるタップ係数を用いて、所定の予測演算を行うことにより、ブロックごとの量子化DCT係数を 8×8 画素の元のブロックに復号し、かつ、さらに、その元のブロックの画質を向上させる処理を施したデータを得る。すなわち、元のブロックは 8×8 画素で構成されるが、係数変換回路232は、タップ係数を用いた予測演算を行うことにより、その 8×8 画素のブロックの横及び縦方向の空間解像度をいずれも2倍にした 16×16 画素でなるブロックを得る。ここでは、係数変換回路232は、図24に示すように、 8×8 の量子化DCT係数で構成されるブロックを 16×16 画素で構成されるブロックに復号して出力する。

ブロック分解回路233は、係数変換回路232において得られる 16×16 画素のブロックのブロック化を解くことで、空間解像度を向上させた復号画像を得て出力する。

次に、図25のフローチャートを参照して、図23のデコーダ222の処理について説明する。

符号化データは、エントロピー復号回路231に順次供給され、ステップS101において、エントロピー復号回路231は、符号化データをエントロピー復

号し、ブロックごとの量子化DCT係数Qを係数変換回路232に供給する。係数変換回路232は、ステップS102において、タップ係数を用いた予測演算を行うことにより、エントロピー復号回路231からのブロックごとの量子化DCT係数Qをブロックごとの画素値に復号し、かつ、そのブロックの空間解像度を向上させた、いわば高解像度のブロックを得て、ブロック分解回路233に供給する。ブロック分解回路233は、ステップS103において、係数変換回路232からの空間解像度が向上された画素値のブロックのブロック化を解くブロック分解を行い、その結果得られる高解像度の復号画像を出力して、処理を終了する。

次に、図23の係数変換回路232では、先に説明したクラス分類適応処理を利用して、量子化DCT係数を画素値に復号し、さらに、その空間解像度を向上させた画像を得ることができる。

図26は、クラス分類適応処理により、量子化DCT係数を画素値に復号する、図23の係数変換回路232の構成例を示している。

この図26に示す係数変換回路232Aにおいて、エントロピー復号回路231（図23）が出力するブロックごとの量子化DCT係数は、予測タップ抽出回路241及びクラスタップ抽出回路242に供給されるようになっている。

予測タップ抽出回路241は、そこに供給される 8×8 の量子化DCT係数のブロック（以下、適宜、DCTブロックという）に対応する高画質の画素値のブロック（この画素値のブロックは、現段階では存在しないが、仮想的に想定される）（以下、適宜、高画質ブロックという）（この実施の形態では、上述したように 16×16 画素のブロック）を順次注目高画質ブロックとし、さらに、その注目高画質ブロックを構成する各画素を例えばいわゆるラスタスキャン順に順次注目画素とする。さらに、予測タップ抽出回路241は、注目画素の画素値を予測するのに用いる量子化DCT係数を抽出し、予測タップとする。

すなわち、予測タップ抽出回路241は、例えば、上述の図6に示したように、注目画素が属する高画質ブロックに対応するDCTブロックのすべての量子化DCT係数すなわち 8×8 の64個の量子化DCT係数を予測タップとして抽出する。したがって、この実施の形態では、ある高画質ブロックのすべての画素につ

いて、同一の予測タップが構成される。ただし、予測タップは、注目画素ごとに、異なる量子化DCT係数で構成することが可能である。

予測タップ抽出回路241において得られる、高画質ブロックを構成する各画素についての予測タップ、すなわち、 16×16 の256画素それぞれについての256セットの予測タップは、積和演算回路245に供給される。ただし、この実施の形態では、上述したように、高画質ブロックのすべての画素について、同一の予測タップが構成されるので、実際には、1つの高画質ブロックに対して、1セットの予測タップを積和演算回路245に供給すれば良い。

クラスタップ抽出回路242は、注目画素を幾つかのクラスの中のいずれかに分類するためのクラス分類に用いる量子化DCT係数を抽出して、クラスタップとする。

なお、JPEG符号化では、画像が 8×8 画素のブロック（以下、適宜、画素ブロックという）ごとに符号化すなわちDCT処理及び量子化されることから、ある画素ブロックを高画質化した高画質ブロックに属する画素は、例えば、すべて同一のクラスにクラス分類することとする。したがって、クラスタップ抽出回路242は、ある高画質ブロックの各画素については、同一のクラスタップを構成する。すなわち、クラスタップ抽出回路242は、例えば、予測タップ抽出回路241における場合と同様に、図6に示したような、注目画素が属する高画質ブロックに対応するDCTブロックの 8×8 個のすべての量子化DCT係数をクラスタップとして抽出する。

ここで、高画質ブロックに属する各画素をすべて同一のクラスにクラス分類するということは、その高画質ブロックをクラス分類することと等価である。したがって、クラスタップ抽出回路242には、注目高画質ブロックを構成する 16×16 の合計256画素それぞれをクラス分類するための256セットのクラスタップではなく、注目高画質ブロックをクラス分類するための1セットのクラスタップを構成させれば良く、このため、クラスタップ抽出回路242は、高画質ブロックごとに、その高画質ブロックをクラス分類するために、その高画質ブロックに対応するDCTブロックの64個の量子化DCT係数を抽出して、クラスタップとするようになっている。

なお、予測タップやクラスタップを構成する量子化DCT係数は、上述したパターンのもに限定されるものではない。

クラスタップ抽出回路242において得られる、注目高画質ブロックのクラスタップは、クラス分類回路243に供給されるようになっている。クラス分類回路243は、クラスタップ抽出回路242からのクラスタップに基づき、注目高画質ブロックをクラス分類し、その結果得られるクラスに対応するクラスコードを出力する。

ここで、クラス分類を行う方法としては、例えば、ADRC等を採用することができる。ADRCを用いる方法では、クラスタップを構成する量子化DCT係数がADRC処理され、その結果得られるADRCコードにしたがって、注目高画質ブロックのクラスが決定される。

この実施の形態においても、クラス分類回路243において、クラスタップを構成する量子化DCT係数から、重要性の高い特徴量を抽出し、その特徴量に基づいてクラス分類を行うことで、クラス数を低減するようになっている。

図27は、図26のクラス分類回路243の構成例を示している。

クラスタップは、電力演算回路251に供給されるようになっている。電力演算回路251は、クラスタップを構成する量子化DCT係数を幾つかの空間周波数帯域のものに分け、各周波数帯域の電力を演算する。

すなわち、電力演算回路251は、上述の電力演算回路51と同様にクラスタップを構成する 8×8 個の量子化DCT係数を上述の図6に示したような4つの空間周波数帯域 S_0 、 S_1 、 S_2 、 S_3 に分割する。ここで、空間周波数帯域 S_0 は、4個の量子化DCT係数 x_0 、 x_1 、 x_8 、 x_9 から構成され、空間周波数帯域 S_1 は、12個の量子化DCT係数 x_2 、 x_3 、 x_4 、 x_5 、 x_6 、 x_7 、 x_{10} 、 x_{11} 、 x_{12} 、 x_{13} 、 x_{14} 、 x_{15} から構成される。また、空間周波数帯域 S_2 は、12個の量子化DCT係数 x_{16} 、 x_{17} 、 x_{24} 、 x_{25} 、 x_{32} 、 x_{33} 、 x_{40} 、 x_{41} 、 x_{48} 、 x_{49} 、 x_{56} 、 x_{57} から構成され、空間周波数帯域 S_3 は、36個の量子化DCT係数 x_{18} 、 x_{19} 、 x_{20} 、 x_{21} 、 x_{22} 、 x_{23} 、 x_{26} 、 x_{27} 、 x_{28} 、 x_{29} 、 x_{30} 、 x_{31} 、 x_{34} 、 x_{35} 、 x_{36} 、 x_{37} 、 x_{38} 、 x_{39} 、 x_{42} 、 x_{43} 、 x_{44} 、 x_{45} 、 x_{46} 、 x_{47} 、 x_{50} 、 x_{51} 、 x_{52} 、 x_{53} 、 x_{54} 、 x_{55} 、 x_{58} 、 x_{59} 、 x_{60} 、 x_{61} 、 x_{62} 、 x_{63} か

ら構成される。

さらに、電力演算回路251は、空間周波数帯域 S_0 、 S_1 、 S_2 、 S_3 それぞれについて、量子化DCT係数のAC成分の電力 P_0 、 P_1 、 P_2 、 P_3 を演算し、クラスコード生成回路252に出力する。

すなわち、電力演算回路251は、空間周波数帯域 S_0 については、上述の4個の量子化DCT係数 x_0 、 x_1 、 x_2 、 x_3 のうちのAC成分 x_1 、 x_2 、 x_3 の2乗和 $x_1^2 + x_2^2 + x_3^2$ を求め、これを電力 P_0 としてクラスコード生成回路252に出力する。また、電力演算回路251は、空間周波数帯域 S_1 についての上述の12個の量子化DCT係数のAC成分、すなわち、12個すべての量子化DCT係数の2乗和を求め、これを電力 P_1 としてクラスコード生成回路252に出力する。さらに、電力演算回路251は、空間周波数帯域 S_2 と空間周波数帯域 S_3 についても、空間周波数帯域 S_1 における場合と同様にして、それぞれの電力 P_2 と電力 P_3 を求め、クラスコード生成回路252に出力する。

クラスコード生成回路252は、電力演算回路251からの電力 P_0 、 P_1 、 P_2 、 P_3 を閾値テーブル記憶部253に記憶された対応する閾値 TH_0 、 TH_1 、 TH_2 、 TH_3 とそれぞれ比較し、それぞれの大小関係に基づいて、クラスコードを出力する。すなわち、クラスコード生成回路252は、電力 P_0 と閾値 TH_0 とを比較し、その大小関係を表す1ビットのコードを得る。同様に、クラスコード生成回路252は、電力 P_1 と閾値 TH_1 、電力 P_2 と閾値 TH_2 、電力 P_3 と閾値 TH_3 をそれぞれ比較することにより、それぞれについて、1ビットのコードを得る。そして、クラスコード生成回路252は、以上のようにして得られる4つの1ビットのコードを例えば所定の順番で並べることにより得られる4ビットのコード（したがって、0～15のうちのいずれかの値）を注目高画質ブロックのクラスを表すクラスコードとして出力する。したがって、この実施の形態では、注目高画質ブロックは、 $2^4 (= 16)$ 個のクラスのうちのいずれかにクラス分類されることになる。

閾値テーブル記憶部253は、空間周波数帯域 $S_0 \sim S_3$ の電力 $P_0 \sim P_3$ それぞれと比較する閾値 $TH_0 \sim TH_3$ を記憶している。

図26に戻り、以上のようなクラス分類回路243が出力するクラスコードは、

係数テーブル記憶部 244 にアドレスとして与えられる。

係数テーブル記憶部 244 は、後述するような学習処理が行われることにより得られるタップ係数が登録された係数テーブルを記憶しており、クラス分類回路 243 が出力するクラスコードに対応するアドレスに記憶されているタップ係数を積和演算回路 245 に出力する。

ここで、この実施の形態では、注目高画質ブロックについて、1つのクラスコードが得られる。一方、高画質ブロックは、この実施の形態では、 16×16 画素の 256 画素で構成されるから、注目高画質ブロックについては、それを構成する 256 画素それぞれを復号するための 256 セットのタップ係数が必要である。したがって、係数テーブル記憶部 244 には、1つのクラスコードに対応するアドレスに対して、256 セットのタップ係数が記憶されている。

積和演算回路 245 は、予測タップ抽出回路 241 が出力する予測タップと、係数テーブル記憶部 244 が出力するタップ係数とを取得し、その予測タップとタップ係数とを用いて、上述の式 (1) に示した線形予測演算 (積和演算) を行い、その結果得られる注目高画質ブロックの 16×16 画素の画素値 (の予測値) を対応する DCT ブロックの復号結果としてブロック分解回路 233 (図 23) に出力する。

ここで、予測タップ抽出回路 241 においては、上述したように、注目高画質ブロックの各画素が順次注目画素とされるが、積和演算回路 245 は、注目高画質ブロックの注目画素となっている画素の位置に対応した動作モード (以下、適宜、画素位置モードという) となって、処理を行う。

すなわち、例えば、注目高画質ブロックの画素のうち、ラスタスキャン順で i 番目の画素を p_i と表し、画素 p_i が注目画素となっている場合、積和演算回路 245 は、画素位置モード # i の処理を行う。

具体的には、上述したように、係数テーブル記憶部 244 は、注目高画質ブロックを構成する 256 画素それぞれを復号するための 256 セットのタップ係数を出力するが、そのうちの画素 p_i を復号するためのタップ係数のセットを W_i と表すと、積和演算回路 245 は、動作モードが画素位置モード # i のときには、予測タップと 256 セットのタップ係数のうちのセット W_i とを用いて、上述の

式(1)の積和演算を行い、その積和演算結果を画素 p_i の復号結果とする。

次に、図28のフローチャートを参照して、図26の係数変換回路232Aの処理について説明する。

エントロピー復号回路231(図23)が出力するブロックごとの量子化DCT係数は、予測タップ抽出回路241及びクラスタップ抽出回路242において順次受信され、予測タップ抽出回路241は、そこに供給される量子化DCT係数のブロック(DCTブロック)に対応する高画質ブロックを順次注目高画質ブロックとする。

そして、クラスタップ抽出回路242は、ステップS111において、そこで受信した量子化DCT係数の中から、注目高画質ブロックをクラス分類するのに用いるものを抽出して、クラスタップを構成し、クラス分類回路243に供給する。

クラス分類回路243は、ステップS112において、クラスタップ抽出回路242からのクラスタップを用いて、注目高画質ブロックをクラス分類し、その結果得られるクラスコードを係数テーブル記憶部244に出力する。

すなわち、ステップS112では、図29のフローチャートに示すように、まず最初に、ステップS121において、クラス分類回路243(図27)の電力演算回路251が、クラスタップを構成する 8×8 個の量子化DCT係数を上述の図8に示した4つの空間周波数帯域 $S_0 \sim S_3$ に分割し、それぞれの電力 $P_0 \sim P_3$ を演算する。この電力 $P_0 \sim P_3$ は、電力演算回路251からクラスコード生成回路252に出力される。

クラスコード生成回路252は、ステップS122において、閾値テーブル記憶部253から閾値 $TH_0 \sim TH_3$ を読み出し、電力演算回路251からの電力 $P_0 \sim P_3$ それぞれと、閾値 $TH_0 \sim TH_3$ それぞれとを比較し、それぞれの大小関係に基づいたクラスコードを生成して、リターンする。

図28に戻り、ステップS112において以上のようにして得られるクラスコードは、クラス分類回路243から係数テーブル記憶部244に対して、アドレスとして与えられる。

係数テーブル記憶部244は、クラス分類回路243からのアドレスとしての

クラスコードを受信すると、ステップS 1 1 3において、そのアドレスに記憶されている2 5 6セットのタップ係数（クラスコードのクラスに対応する2 5 6セットのタップ係数）を読み出し、積和演算回路2 4 5に出力する。

そして、ステップS 1 1 4に進み、予測タップ抽出回路2 4 1は、注目高画質ブロックの画素のうち、ラストスキャン順で、まだ、注目画素とされていない画素を注目画素として、その注目画素の画素値を予測するのに用いる量子化D C T係数を抽出し、予測タップとして構成する。この予測タップは、予測タップ抽出回路2 4 1から積和演算回路2 4 5に供給される。

ここで、この実施の形態では、各高画質ブロックごとに、その高画質ブロックのすべての画素について、同一の予測タップが構成されるので、実際には、ステップS 1 1 4の処理は、注目高画質ブロックについて、最初に注目画素とされる画素に対してだけ行えば、残りの2 5 5画素に対しては、行う必要がない。

積和演算回路2 4 5は、ステップS 1 1 5において、ステップS 1 1 3で係数テーブル記憶部2 4 4が出力する2 5 6セットのタップ係数のうち、注目画素に対する画素位置モードに対応するタップ係数のセットを取得し、そのタップ係数のセットと、ステップS 1 1 4で予測タップ抽出回路2 4 1から供給される予測タップとを用いて、上述の式（1）に示した積和演算を行い、注目画素の画素値の復号値を得る。

そして、ステップS 1 1 6に進み、予測タップ抽出回路2 4 1は、注目高画質ブロックのすべての画素を注目画素として処理を行ったかどうかを判定する。ステップS 1 1 6において、注目高画質ブロックのすべての画素を注目画素として、まだ処理を行っていないと判定された場合、ステップS 1 1 4に戻り、予測タップ抽出回路2 4 1は、注目高画質ブロックの画素のうち、ラストスキャン順で、まだ、注目画素とされていない画素を新たに注目画素として、以下、同様の処理を繰り返す。

また、ステップS 1 1 6において、注目高画質ブロックのすべての画素を注目画素として処理を行ったと判定された場合、すなわち、注目高画質ブロックのすべての画素の復号値、すなわち、 8×8 の量子化D C T係数を 8×8 画素に復号し、さらに、その 8×8 画素を 16×16 画素に高画質化したものが得られた場

合、積和演算回路 245 は、その復号値で構成される高画質ブロックをブロック分解回路 233 (図 23) に出力し、処理を終了する。

なお、図 28 のフローチャートにしたがった処理は、予測タップ抽出回路 241 が新たな注目高画質ブロックを設定することに繰り返し行われる。

次に、図 30 は、図 26 の係数テーブル記憶部 244 に記憶させるタップ係数の学習処理を行う学習装置 270A の構成例を示している。

この学習装置 270A において、間引き回路 260 には、1 枚以上の学習用の画像データが学習時の教師となる教師データとして供給されるようになっている。間引き回路 260 は、その教師データとしての画像について、図 26 の係数変換回路 232A における積和演算回路 245 がタップ係数を用いた積和演算を行うことにより施す向上処理に基づく処理を施す。すなわち、ここでは、向上処理は、 8×8 画素をその横及び縦の空間解像度を 2 倍にした 16×16 画素の高画質のもの（解像度を向上させたもの）に変換する処理であるから、間引き回路 260 は、教師データとしての画像データの画素を間引き、その横及び縦の画素数をいずれも $1/2$ にした画像データ（以下、適宜、準教師データという）を生成する。

なお、準教師データとしての画像データは、エンコーダ 21 (図 2) において J P E G 符号化の対象とされる画像データと同一画質（解像度）のものであり、例えば、いま、この J P E G 符号化の対象とされる画像を S D (Standard Density) 画像とすると、教師データとする画像としては、その S D 画像の横及び縦の画素数をいずれも 2 倍にした H D (High Density) 画像を用いる必要がある。

ブロック化回路 261 は、間引き回路 260 が生成する 1 枚以上の準教師データとしての S D 画像を J P E G 符号化における場合と同様に、 8×8 画素の画素ブロックにブロック化する。

D C T 回路 262 は、ブロック化回路 261 がブロック化した画素ブロックを順次読み出し、その画素ブロックを D C T 処理することで、D C T 係数のブロックとする。この D C T 係数のブロックは、量子化回路 263 に供給される。

量子化回路 263 は、D C T 回路 262 からの D C T 係数のブロックをエンコーダ 21 (図 2) における J P E G 符号化に用いられるのと同じの量子化テーブルにしたがって量子化し、その結果得られる量子化 D C T 係数のブロック (D C

Tブロック)を予測タップ抽出回路264及びクラスタップ抽出回路265に順次供給する。

予測タップ抽出回路264は、後述する正規方程式加算回路267が注目高画質ブロックとする高画質ブロックを構成する 16×16 画素のうちの注目画素となっている画素について、図26の予測タップ抽出回路241が構成するのと同じの予測タップを量子化回路263の出力から必要な量子化DCT係数を抽出することで構成する。この予測タップは、学習時の生徒となる生徒データとして、予測タップ抽出回路264から正規方程式加算回路267に供給される。

クラスタップ抽出回路265は、注目高画質ブロックについて、図26のクラスタップ抽出回路242が構成するのと同じのクラスタップを量子化回路263の出力から必要な量子化DCT係数を抽出することで構成する。このクラスタップは、クラスタップ抽出回路265からクラス分類回路266に供給される。

クラス分類回路266は、クラスタップ抽出回路265からのクラスタップを用いて、図26のクラス分類回路243と同一の処理を行うことで、注目高画質ブロックをクラス分類し、その結果得られるクラスコードを正規方程式加算回路267に供給する。

正規方程式加算回路267には、間引き回路260に教師データとして供給されるのと同じのHD画像が供給されるようになっている。正規方程式加算回路267は、そのHD画像を 16×16 画素の高画質ブロックにブロック化し、その高画質ブロックを順次注目高画質ブロックとする。さらに、正規方程式加算回路267は、注目高画質ブロックを構成する 16×16 画素のうち、例えば、ラスタスキャン順で、まだ注目画素とされていないものを順次注目画素とし、その注目画素の画素値と予測タップ構成回路264からの予測タップを構成する量子化DCT係数を対象とした足し込みを行う。

すなわち、正規方程式加算回路267は、クラス分類回路266から供給されるクラスコードに対応するクラスごとに、予測タップ(生徒データ)を用い、上述の式(8)の行列Aにおける各コンポーネントとなっている、生徒データどうしの乗算($x_{in}x_{im}$)と、サメーション(Σ)に相当する演算を行う。

さらに、正規方程式加算回路267は、やはり、クラス分類回路266から供

給されるクラスコードに対応するクラスごとに、予測タップ（生徒データ）及び注目画素（教師データ）を用い、上述の式（８）のベクトル v における各コンポーネントとなっている、生徒データと教師データの乗算（ $x_i \cdot y_i$ ）と、サメーション（ Σ ）に相当する演算を行う。

なお、正規方程式加算回路２６７における、上述のような足し込みは、各クラスについて、注目画素に対する画素位置モードごとに行われる。

正規方程式加算回路２６７は、そこに供給される教師データとしてのHD画像を構成する画素すべてを注目画素として以上の足し込みを行い、これにより、各クラスについて、画素位置モードごとに、上述の式（８）に示した正規方程式をたてる。

タップ係数決定回路２６８は、正規方程式加算回路２６７においてクラスごとに（かつ、画素位置モードごとに）生成された正規方程式を解くことにより、クラスごとに、２５６セットのタップ係数を求め、係数テーブル記憶部２６９の各クラスに対応するアドレスに供給する。

なお、学習用の画像として用意する画像の枚数や、その画像の内容等によっては、正規方程式加算回路２６７において、タップ係数を求めるのに必要な数の正規方程式が得られないクラスが生じる場合があり得るが、タップ係数決定回路２６８は、そのようなクラスについては、例えば、デフォルトのタップ係数を出力する。

係数テーブル記憶部２６９は、タップ係数決定回路２６８から供給されるクラスごとの２５６セットのタップ係数を記憶する。

次に、図３１のフローチャートを参照して、図３０の学習装置２７０Ａの処理（学習処理）について説明する。

この学習装置２７０Ａの間引き回路２６０には、学習用の画像データであるHD画像が教師データとして供給され、間引き回路２６０は、ステップＳ１３０において、その教師データとしてのHD画像の画素を間引き、その横及び縦の画素数をいずれも１／２にした準教師データとしてのSD画像を生成する。

そして、ブロック化回路２６１は、ステップＳ１３１において、間引き回路２６０で得られた準教師データとしてのSD画像をエンコーダ２１（図２）による

JPEG符号化における場合と同様に 8×8 画素の画素ブロックにブロック化して、ステップS132に進む。ステップS132では、DCT回路262が、ブロック化回路261がブロック化した画素ブロックを順次読み出し、その画素ブロックをDCT処理することでDCT係数のブロックとし、ステップS133に進む。ステップS133では、量子化回路263が、DCT回路262において得られたDCT係数のブロックを順次読み出し、エンコーダ21におけるJPEG符号化に用いられるのと同じの量子化テーブルにしたがって量子化して、量子化DCT係数で構成されるブロック(DCTブロック)とする。

一方、正規方程式加算回路267にも、教師データとしてのHD画像が供給され、正規方程式加算回路267は、そのHD画像を 16×16 画素の高画質ブロックにブロック化し、ステップS134において、その高画質ブロックのうち、まだ、注目高画質ブロックとされていないものを注目高画質ブロックとする。さらに、ステップS134では、クラスタップ抽出回路265が、ブロック化回路261でブロック化された画素ブロックのうち、注目高画質ブロックをクラス分類するのに用いる量子化DCT係数を量子化回路263で得られたDCTブロックから抽出して、クラスタップを構成し、クラス分類回路266に供給する。クラス分類回路266は、ステップS135において、図29のフローチャートで説明した場合と同様に、クラスタップ抽出回路265からのクラスタップを用いて、注目高画質ブロックをクラス分類し、その結果得られるクラスコードを正規方程式加算回路267に供給して、ステップS136に進む。

ステップS136では、正規方程式加算回路267が注目高画質ブロックの画素のうちラスタスキャン順でまだ注目画素とされていない画素を注目画素とし、予測タップ抽出回路264が、その注目画素について、図26の予測タップ抽出回路241が構成するのと同じの予測タップを量子化回路263の出力から必要な量子化DCT係数を抽出することで構成する。そして、予測タップ抽出回路264は、注目画素についての予測タップを生徒データとして正規方程式加算回路267に供給し、ステップS137に進む。

ステップS137では、正規方程式加算回路267は、教師データとしての注目画素と、生徒データとしての予測タップ(を構成する量子化DCT係数)を対

象として、上述の式(8)の行列Aとベクトル v の上述したような足し込みを行う。なお、この足し込みは、クラス分類回路266からのクラスコードに対応するクラスごとに、かつ注目画素に対する画素位置モードごとに行われる。

そして、ステップS138に進み、正規方程式加算回路267は、注目高画質ブロックのすべての画素を注目画素として、足し込みを行ったかどうかを判定する。ステップS138において、注目高画質ブロックのすべての画素を注目画素として、まだ足し込みを行っていないと判定された場合、ステップS136に戻り、正規方程式加算回路267は、注目高画質ブロックの画素のうち、ラスタスキャン順で、まだ、注目画素とされていない画素を新たに注目画素とし、以下、同様の処理を繰り返す。

また、ステップS138において、注目高画質ブロックのすべての画素を注目画素として、足し込みを行ったと判定された場合、ステップS139に進み、正規方程式加算回路267は、教師データとしての画像から得られたすべての高画質ブロックを注目高画質ブロックとして処理を行ったかどうかを判定する。ステップS139において、教師データとしての画像から得られたすべての高画質ブロックを注目高画質ブロックとして、まだ処理を行っていないと判定された場合、ステップS134に戻り、まだ注目高画質ブロックとされていない高画質ブロックが新たに注目高画質ブロックとされ、以下、同様の処理が繰り返される。

一方、ステップS139において、教師データとしての画像から得られたすべての高画質ブロックを注目高画質ブロックとして処理を行ったと判定された場合、すなわち、正規方程式加算回路267において、各クラスについて、画素位置モードごとの正規方程式が得られた場合、ステップS140に進み、タップ係数決定回路268は、各クラスの画素位置モードごとに生成された正規方程式を解くことにより、各クラスごとに、そのクラスの256の画素位置モードそれぞれに対応する256セットのタップ係数を求め、係数テーブル記憶部269の各クラスに対応するアドレスに供給して記憶させ、処理を終了する。

以上のようにして、係数テーブル記憶部269に記憶された各クラスごとのタップ係数が図26の係数テーブル記憶部244に記憶されている。

したがって、係数テーブル記憶部244に記憶されたタップ係数は、線形予測

演算を行うことにより得られる元の画素値の予測値の予測誤差（ここでは、自乗誤差）が統計的に最小になるように学習を行うことにより求められたものであり、その結果、図 2 6 の係数変換回路 2 3 2 A によれば、J P E G 符号化された画像を教師データとして用いた H D 画像の画質に限りなく近い高画質の画像に復号することができる。

さらに、係数変換回路 2 3 2 A によれば、上述したように、J P E G 符号化された画像の復号処理と、その画質を向上させるための向上処理とが、同時に施されることとなるので、J P E G 符号化された画像から、効率的に、高画質化された復号画像を得ることができる。

次に、図 3 2 は、図 2 3 の係数変換回路 2 3 2 の他の構成例を示している。なお、図中、図 2 6 における場合と対応する部分については、同一の符号を付して、その説明を適宜省略する。すなわち、図 3 2 に示す係数変換回路 2 3 2 B は、逆量子化回路 2 7 1 が新たに設けられている他は、基本的に、図 2 6 における場合と同様に構成されている。

図 3 2 に示す係数変換回路 2 3 2 B において、逆量子化回路 2 7 1 には、エントロピー復号回路 2 3 1（図 2 3）において符号化データをエントロピー復号することにより得られるブロックごとの量子化 D C T 係数が供給される。

なお、エントロピー復号回路 2 3 1 においては、上述したように、符号化データから、量子化 D C T 係数の他、量子化テーブルも得られるが、図 3 2 の係数変換回路 2 3 2 B では、この量子化テーブルも、エントロピー復号回路 2 3 1 から逆量子化回路 2 7 1 に供給されるようになっている。

逆量子化回路 2 7 1 は、エントロピー復号回路 2 3 1 からの量子化 D C T 係数を同じくエントロピー復号回路 2 3 1 からの量子化テーブルにしたがって逆量子化し、その結果得られる D C T 係数を予測タップ抽出回路 2 4 1 及びクラスタップ抽出回路 2 4 2 に供給する。

したがって、予測タップ抽出回路 2 4 1 とクラスタップ抽出回路 2 4 2 では、量子化 D C T 係数ではなく、D C T 係数を対象として、予測タップとクラスタップがそれぞれ構成され、以降も、D C T 係数を対象として、図 2 6 における場合と同様の処理が行われる。

このように、図32の係数変換回路232Bでは、量子化DCT係数ではなく、DCT係数を対象として処理が行われるため、係数テーブル記憶部244に記憶させるタップ係数は、図26における場合と異なるものとする必要がある。

そこで、図33は、図32の係数テーブル記憶部244に記憶させるタップ係数の学習処理を行う学習装置270Bの構成例を示している。なお、図中、図30における場合と対応する部分については、同一の符号を付して、その説明を適宜省略する。すなわち、図33に示す学習装置270Bは、量子化回路263の後段に、逆量子化回路281が新たに設けられている他は、図30における場合と基本的に同様に構成されている。

図33に示す学習装置270Bにおいて、逆量子化回路281は、逆量子化回路263が出力する量子化DCT係数を図32の逆量子化回路271と同様に逆量子化し、その結果得られるDCT係数を予測タップ抽出回路264及びクラスタップ抽出回路265に供給する。

したがって、予測タップ抽出回路264とクラスタップ抽出回路265では、量子化DCT係数ではなく、DCT係数を対象として、予測タップとクラスタップがそれぞれ構成され、以降も、DCT係数を対象として、図30における場合と同様の処理が行われる。

その結果、DCT係数が量子化され、さらに逆量子化されることにより生じる量子化誤差の影響を低減するタップ係数が得られることになる。

次に、図34は、図23の係数変換回路232の他の構成例を示している。なお、図中、図26における場合と対応する部分については、同一の符号を付して、その説明を適宜省略する。すなわち、図34に示す係数変換回路232Cは、クラスタップ抽出回路242及びクラス分類回路243が設けられていない他は、基本的に、図26における場合と同様に構成されている。

したがって、図34に示す係数変換回路232Cでは、クラスという概念がないが、このことはクラスが1つであるとも考えるから、係数テーブル記憶部244には、1クラスのタップ係数だけが記憶されており、これを用いて処理が行われる。

このように、図34の係数変換回路232Cでは、係数テーブル記憶部244

に記憶されているタップ係数は、図 2 6 における場合と異なるものとなっている。

そこで、図 3 5 は、図 3 4 の係数テーブル記憶部 2 4 4 に記憶させるタップ係数の学習処理を行う学習装置 2 7 0 C の構成例を示している。なお、図中、図 3 0 における場合と対応する部分については、同一の符号を付して、その説明を適宜省略する。すなわち、図 3 5 に示す学習装置 2 7 0 C は、クラスタップ抽出回路 2 6 5 及びクラス分類回路 2 6 6 が設けられていない他は、図 3 0 における場合と基本的に同様に構成されている。

したがって、図 3 5 の学習装置 2 7 0 C では、正規方程式加算回路 2 6 7 において、上述の足し込みがクラスには無関係に画素位置モード別に行われる。そして、タップ係数決定回路 2 6 8 において、画素位置モードごとに生成された正規方程式を解くことにより、タップ係数が求められる。

次に、図 3 6 は、図 2 3 の係数変換回路 2 3 2 の他の構成例を示している。なお、図中、図 2 6 又は図 3 2 における場合と対応する部分については、同一の符号を付して、その説明を適宜省略する。すなわち、図 3 6 に示す係数変換回路 2 3 2 D は、クラスタップ抽出回路 2 4 2 及びクラス分類回路 2 4 3 が設けられておらず、かつ逆量子化回路 2 7 1 が新たに設けられている他は、基本的に、図 2 6 における場合と同様に構成されている。

したがって、図 3 6 に示す係数変換回路 2 3 2 D では、上述の図 3 4 の係数変換回路 2 3 2 C と同様に、係数テーブル記憶部 2 4 4 には、1 クラスのタップ係数だけが記憶されており、これを用いて処理が行われる。

さらに、図 3 6 の係数変換回路 2 3 2 D では、図 3 2 の係数変換回路 2 3 2 C と同様に、予測タップ抽出回路 2 4 1 において、量子化 D C T 係数ではなく、逆量子化回路 2 7 1 が出力する D C T 係数を対象として、予測タップが構成され、以降も、D C T 係数を対象として、処理が行われる。

したがって、図 3 6 の係数変換回路 2 3 2 D でも、係数テーブル記憶部 2 4 4 に記憶されているタップ係数は、図 2 6 における場合と異なるものとなっている。

そこで、図 3 7 は、図 3 6 の係数テーブル記憶部 2 4 4 に記憶させるタップ係数の学習処理を行う学習装置 2 7 0 D の構成例を示している。なお、図中、図 3 0 又は図 3 3 における場合と対応する部分については、同一の符号を付して、そ

の説明を適宜省略する。すなわち、図 37 に示す学習装置 270D は、クラスアップ抽出回路 265 及びクラス分類回路 266 が設けられておらず、かつ逆量子化回路 281 が新たに設けられている他は、図 30 における場合と基本的に同様に構成されている。

したがって、図 37 の学習装置 270D では、予測タップ抽出回路 264 において、量子化 DCT 係数ではなく、DCT 係数を対象として、予測タップが構成され、以降も、DCT 係数を対象として処理が行われる。さらに、正規方程式加算回路 267 において、上述の足し込みがクラスには無関係に行われ、タップ係数決定回路 268 において、クラスと無関係に生成された正規方程式を解くことにより、タップ係数が求められる。

次に、以上においては、静止画を圧縮符号化する J P E G 符号化された画像を対象としたが、本発明は、動画を圧縮符号化する、例えば、M P E G 符号化された画像を対象とすることも可能である。

すなわち、図 38 は、M P E G 符号化が行われる場合の図 2 のエンコーダ 21 の構成例を示している。

この図 38 に示すエンコーダ 221 は、M P E G 符号化の対象である動画を構成するフレーム（又はフィールド）は、順次、動き検出回路 291 と演算器 292 に供給される。

動き検出回路 291 は、そこに供給されるフレームについて、 16×16 画素のマクロブロック単位で、動きベクトルを検出し、エントロピー符号化回路 296 及び動き補償回路 300 に供給する。

演算器 292 は、そこに供給される画像が I ピクチャであれば、そのままブロック化回路 293 に供給し、P ピクチャ又は B ピクチャであれば、動き補償回路 300 から供給される参照画像との差分を演算して、その差分値をブロック化回路 293 に供給する。

ブロック化回路 293 は、演算器 292 の出力を 8×8 画素の画素ブロックにブロック化し、DCT 回路 294 に供給する。DCT 回路 294 は、ブロック化回路 293 からの画素ブロックを DCT 処理し、その結果得られる DCT 係数を量子化回路 295 に供給する。量子化回路 295 は、DCT 回路 294 からのブ

ロック単位のDCT係数を所定の量子化ステップで量子化し、その結果得られる量子化DCT係数をエントロピー符号化回路296に供給する。エントロピー符号化回路296は、量子化回路295からの量子化DCT係数をエントロピー符号化し、動き検出回路291からの動きベクトルや、その他の必要な情報を付加して、その結果得られる符号化データ、例えば、MPEGトランスポートストリームをMPEG符号化結果として出力する。

量子化回路295が出力する量子化DCT係数のうち、Iピクチャ及びPピクチャは、後で符号化されるPピクチャやBピクチャの参照画像として用いるのにローカルデコードする必要があるため、エントロピー符号化回路296の他、逆量子化回路297にも供給される。

逆量子化回路297は、量子化回路295からの量子化DCT係数を逆量子化することにより、DCT係数とし、逆DCT回路298に供給する。逆DCT回路298は、逆量子化回路297からのDCT係数を逆DCT処理し、演算器299に出力する。演算器299には、逆DCT回路298の出力の他、動き補償回路300が出力する参照画像も供給されるようになっている。演算器299は、逆DCT回路298の出力がPピクチャのものである場合には、その出力と動き補償回路300の出力とを加算することで、元の画像を復号し、動き補償回路300に供給する。また、演算器299は、逆DCT回路298の出力がIピクチャのものである場合には、その出力は、Iピクチャの復号画像となっているので、そのまま、動き補償回路300に供給する。

動き補償回路300は、演算器299から供給される、ローカルデコードされた画像に対して、動き検出回路291からの動きベクトルにしたがった動き補償を施し、その動き補償後の画像を参照画像として演算器292及び演算器299に供給する。

そして、図23のデコーダ222では、MPEG符号化された符号化データも効率的に高画質の画像に復号することができる。

すなわち、符号化データは、エントロピー復号回路231に供給され、エントロピー復号回路231は、符号化データをエントロピー復号する。このエントロピー復号の結果得られる量子化DCT係数、動きベクトル、その他の情報は、エ

ントロピー復号回路231から係数変換回路232Dに供給される。

係数変換回路232Dは、エントロピー復号回路231からの量子化DCT係数Qと、学習を行うことにより求められたタップ係数を用いて、所定の予測演算を行うとともに、エントロピー復号回路231からの動きベクトルにしたがった動き補償を必要に応じて行うことにより、量子化DCT係数を高画質の画素値に復号し、その高画質の画素値でなる高画質ブロックをブロック分解回路233に供給する。

ブロック分解回路233は、係数変換回路232Dにおいて得られた高画質ブロックのブロック化を解くことで、横及び縦の画素数がいずれも、MPEG符号化された画像の例えば2倍になった高画質の復号画像を得て出力する。

次に、図39は、デコーダ222においてMPEG符号化された符号化データを復号する場合の図23の係数変換回路232の構成例を示している。なお、図中、図36における場合と対応する部分については、同一の符号を付して、その説明を適宜省略する。すなわち、図39に示す係数変換回路232Eは、積和演算回路245の後段に演算器314及び動き補償回路316が設けられている他は、図36における場合と基本的に同様に構成されている。

したがって、図39に示す係数変換回路232Eでは、量子化DCT係数が逆量子化回路271において逆量子化され、その結果得られるDCT係数を用いて、予測タップ抽出回路241において予測タップが構成される。そして、積和演算回路245が、その予測タップと係数テーブル記憶部244に記憶されたタップ係数とを用いた予測演算を行うことにより、横及び縦の画素数がいずれも、元の画像の2倍になった高画質のデータを出力する。

そして、演算器314は、積和演算回路245の出力を必要に応じて動き補償回路316の出力と加算することで、横及び縦の画素数がいずれも元の画像の2倍になった高画質の画像を復号し、ブロック分解回路233（図23）に出力する。

すなわち、Iピクチャについては、積和演算回路245の出力は、横及び縦の画素数がいずれも、元の画像の2倍になった高画質の画像となっているので、演算器314は、積和演算回路245の出力をそのままブロック分解回路233に

出力する。

また、Pピクチャ又はBピクチャについては、積和演算回路245の出力は、横及び縦の画素数がいずれも、元の画像の2倍になった高画質の画像と、高画質の参照画像との差分となっているから、演算器314は、積和演算回路245の出力を動き補償回路316から供給される高画質の参照画像と加算することで、横及び縦の画素数がいずれも、元の画像の2倍になった高画質の画像に復号し、ブロック分解回路233に出力する。

一方、動き補償回路316は、演算器314が出力する高画質の復号画像のうち、Iピクチャ及びPピクチャを受信し、そのIピクチャ又はPピクチャの高画質の復号画像に対して、エントロピー復号回路231（図23）からの動きベクトルを用いた動き補償を施すことにより、高画質の参照画像を得て、演算器314に供給する。

なお、ここでは、復号画像の横及び縦の画素数がいずれも元の画像の2倍になっているので、動き補償回路316は、例えば、エントロピー復号回路231からの動きベクトルの横方向及び縦方向の大きさをいずれも2倍にした動きベクトルにしたがって動き補償を行う。

次に、図40は、図39の係数テーブル記憶部244に記憶させるタップ係数を学習する学習装置270Eの構成例を示している。なお、図中、図37における場合と対応する部分については、同一の符号を付して、その説明を適宜省略する。

この図40に示す学習装置270Eにおいて、間引き回路320には、学習用のHD画像が教師データとして入力され、間引き回路320は、例えば、図30の間引き回路260と同様に、教師データとしてのHD画像の画素を間引き、その横及び縦の画素数をいずれも $1/2$ にしたSD画像である準教師データを生成する。そして、この準教師データとしてのSD画像は、動きベクトル検出回路321及び演算器322に供給される。

動きベクトル検出回路321、演算器322、ブロック化回路323、DCT回路324、量子化回路325、逆量子化回路327、逆DCT回路328、演算器329又は動き補償回路330は、図38の動きベクトル検出回路291、

演算器 292、ブロック化回路 293、DCT回路 294、量子化回路 295、逆量子化回路 297、逆DCT回路 298、演算器 299 又は動き補償回路 300 とそれぞれ同様の処理を行い、これにより、量子化回路 125 からは、図 38 の量子化回路 295 が出力するのと同様の量子化 DCT 係数が出力される。

量子化回路 325 が出力する量子化 DCT 係数は、逆量子化回路 281 に供給され、逆量子化回路 281 は、量子化回路 325 からの量子化 DCT 係数を逆量子化し、DCT 係数に変換して、予測タップ抽出回路 264 に供給する。予測タップ抽出回路 264 は、逆量子化回路 281 からの DCT 係数から、予測タップを構成し、生徒データとして、正規方程式加算回路 267 に供給する。

一方、教師データとしての HD 画像は、間引き回路 320 の他、演算器 332 にも供給されるようになっている。演算器 332 は、教師データとしての HD 画像から、必要に応じて、補間回路 331 の出力を減算し、正規方程式加算回路 267 に供給する。

すなわち、補間回路 331 は、動き補償回路 330 が出力する SD 画像の参照画像の横及び縦の画素数を 2 倍にした高画質の参照画像を生成し、演算器 332 に供給する。

演算器 332 は、そこに供給される HD 画像が I ピクチャである場合には、その I ピクチャの HD 画像をそのまま教師データとして、正規方程式加算回路 267 に供給する。また、演算器 332 は、そこに供給される HD 画像が P ピクチャ又は B ピクチャである場合には、その P ピクチャ又は B ピクチャの HD 画像と、補間回路 131 が出力する高画質の参照画像との差分を演算することにより、演算器 322 が出力する SD 画像（準教師データ）についての差分を高画質化したものを得て、これを教師データとして正規方程式加算回路 267 に出力する。

なお、補間回路 331 では、例えば、単純な補間により画素数を増加させることが可能である。また、補間回路 331 では、例えば、クラス分類適応処理により画素数を増加させることも可能である。さらに、演算器 332 では、教師データとしての HD 画像を MPEG 符号化し、そのローカルデコードを行って動き補償したものを参照画像として用いるようにすることが可能である。

正規方程式加算回路 267 は、演算器 332 の出力を教師データとするとも

に、逆量子化回路 281 からの予測タップを生徒データとして、上述したような足し込みを行い、これにより、正規方程式を生成する。

そして、タップ係数決定回路 268 は、正規方程式加算回路 267 で生成された正規方程式を解くことにより、タップ係数を求め、係数テーブル記憶部 269 に供給して記憶させる。

図 39 の積和演算回路 245 では、このようにして求められたタップ係数を用いて、MPEG 符号化された符号化データが復号されるので、やはり、MPEG 符号化された画像の復号処理と、その画質を向上させるための処理とを同時に施すことができ、したがって、MPEG 符号化された画像から、効率的に、高画質の、すなわち、この実施の形態では、横及び縦の画素数がいずれも 2 倍になった HD 画像である復号画像を得ることができる。

なお、図 39 の係数変換回路 232 E は、逆量子化回路 271 を設けずに構成することが可能である。この場合、図 40 の学習装置 270 E は、逆量子化回路 281 を設けずに構成すれば良い。

また、図 39 の係数変換回路 232 E は、図 26 における場合と同様に、クラスタップ抽出回路 242 及びクラス分類回路 243 を設けて構成することが可能である。この場合、図 40 の学習装置 270 E は、図 30 における場合のように、クラスタップ抽出回路 265 及びクラス分類回路 266 を設けて構成すれば良い。

さらに、上述の場合には、デコーダ 222 (図 23) において、元の画像の空間解像度を 2 倍に向上させた復号画像を得るようにしたが、デコーダ 222 では、元の画像の空間解像度を任意の倍数にした復号画像や、さらには、元の画像の時間解像度を向上させた復号画像を得るようにすることも可能である。

すなわち、例えば、MPEG 符号化する対象の画像が図 41 A に示すような時間解像度が低いものである場合に、デコーダ 222 では、その画像を MPEG 符号化した符号化データを図 41 B に示すような元の画像の時間解像度を 2 倍にした画像に復号するようにすることが可能である。さらには、例えば、MPEG 符号化する対象の画像が図 42 A に示すような、映画で用いられる 24 フレーム/秒の画像である場合に、デコーダ 222 では、その画像を MPEG 符号化した符号化データを図 42 B に示すような元の画像の時間解像度を 60/24 倍にした

60フレーム/秒の画像に復号するようにすることが可能である。この場合、いわゆる2-3プルダウンを容易に行うことができる。

ここで、上述のように、デコーダ222において、時間解像度を向上させる場合には、予測タップやクラスタップは、例えば、図43に示すように、2以上のフレームのDCT係数から構成するようにすることが可能である。

また、デコーダ222では、空間解像度又は時間解像度のうちのいずれか一方だけではなく、両方を向上させた復号画像を得るようにすることも可能である。

以上のように、本発明によれば、学習を行うことにより求められたタップ係数を取得し、そのタップ係数及び変換データを用いて、所定の予測演算を行うことにより、変換データを元のデータに復号し、かつ、その元のデータに所定の処理を施した処理データを得るので、効率的に変換データを復号し、かつその復号されたデータに所定の処理を施すことが可能となる。

また、本発明によれば、教師となる教師データに、所定の処理に基づく処理を施し、その結果得られる準教師データを少なくとも直交変換又は周波数変換することにより、生徒となる生徒データを生成して、タップ係数及び生徒データを用いて予測演算を行うことにより得られる教師データの予測値の予測誤差が統計的に最小になるように学習を行うことにより、タップ係数を求める。このようにして求めたタップ係数を用いることにより、効率的に直交変換又は周波数変換されたデータを復号し、かつその復号されたデータに所定の処理を施すことが可能となる。

また、次に本発明の他の実施の形態について説明する。

次に説明する実施の形態では、図2に示したデコーダ22として図44に示すようにエントロピー復号回路431、係数変換回路432及びブロック分解回路433からなるデコーダ422を用いて符号化データを復号する。

符号化データは、エントロピー復号回路431に供給されるようになっている。エントロピー復号回路431は、符号化データをエントロピー符号化された量子化DCT係数と、それに付加されている付加情報としての量子化テーブルとに分離する。さらに、エントロピー復号回路431は、エントロピー符号化された量子化DCT係数をエントロピー復号し、その結果得られるブロックごとの量子化

DCT係数Qを付加情報としての量子化テーブルとともに係数変換回路432に供給する。

係数変換回路432は、付加情報としての量子化テーブルをいわば補助的に用いながら、量子化DCT係数Qと学習を行うことにより求められるタップ係数とを用いて、所定の予測演算を行うことにより、ブロックごとの量子化DCT係数を 8×8 画素の元のブロックに復号する。

ブロック分解回路433は、係数変換回路432において得られる、復号されたブロック（復号ブロック）のブロック化を解くことで、復号画像を得て出力する。

このデコーダ422は、図45のフローチャートに示す手順（ステップS201～S203）に従ってデコード処理を行う。

すなわち、符号化データは、エントロピー復号回路431に順次供給され、ステップS201において、エントロピー復号回路431は、符号化データをエントロピー復号し、ブロックごとの量子化DCT係数Qを係数変換回路432に供給する。また、エントロピー復号回路431は、符号化データから、そこに含まれる付加情報としての量子化テーブルを分離して、係数変換回路432に供給する。係数変換回路432は、ステップS202において、量子化テーブル及びタップ係数を用いた予測演算を行うことにより、エントロピー復号回路431からのブロックごとの量子化DCT係数Qをブロックごとの画素値に復号し、ブロック分解回路433に供給する。ブロック分解回路433は、ステップS203において、係数変換回路432からの画素値のブロック（復号ブロック）のブロック化を解くブロック分解を行い、その結果得られる復号画像を出力して、処理を終了する。

図46は、このデコーダ422において、クラス分類適応処理により量子化DCT係数を画素値に復号する係数変換回路432の構成例を示している。

この図46に示す係数変換回路432Aにおいて、エントロピー復号回路431（図44）が出力するブロックごとの量子化DCT係数は、予測タップ抽出回路441及びクラスタップ抽出回路442に供給されるようになっている。付加情報としての量子化テーブルは、クラス分類回路443に供給されるようになっ

ている。

予測タップ抽出回路441は、そこに供給される量子化DCT係数のブロック（以下、適宜、DCTブロックという）に対応する画素値のブロック（この画素値のブロックは、現段階では存在しないが、仮想的に想定される）（以下、適宜、画素ブロックという）を順次注目画素ブロックとし、さらに、その注目画素ブロックを構成する各画素を例えばいわゆるラスタスキャン順に順次注目画素とする。さらに、予測タップ抽出回路441は、注目画素の画素値を予測するのに用いる量子化DCT係数を抽出し、予測タップとする。

すなわち、予測タップ抽出回路441は、例えば、上述の図6に示したように、注目画素が属する画素ブロックに対応するDCTブロックのすべての量子化DCT係数、すなわち、 8×8 の64個の量子化DCT係数を予測タップとして抽出する。したがって、この実施の形態では、ある画素ブロックのすべての画素について、同一の予測タップが構成される。但し、予測タップは、注目画素ごとに、異なる量子化DCT係数で構成することが可能である。

予測タップ抽出回路441において得られる、画素ブロックを構成する各画素についての予測タップ、すなわち、64画素それぞれについての64セットの予測タップは、積和演算回路445に供給される。ただし、この実施の形態では、上述したように、画素ブロックのすべての画素について、同一の予測タップが構成されるので、実際には、1つの画素ブロックに対して、1セットの予測タップを積和演算回路445に供給すれば良い。

クラスタップ抽出回路442は、注目画素を幾つかのクラスの中のいずれかに分類するためのクラス分類に用いる量子化DCT係数を抽出して、クラスタップとする。このクラスタップ抽出回路442は、例えば、予測タップ抽出回路441における場合と同様に、上述の図6に示したような注目画素が属する画素ブロックに対応するDCTブロックの 8×8 個のすべての量子化DCT係数をクラスタップとして抽出する。

ここで、クラスタップ抽出回路442は、画素ブロックごとに、その画素ブロックをクラス分類するために、その画素ブロックに対応するDCTブロックの64個の量子化DCT係数を抽出して、クラスタップとするようになっている。

なお、予測タップやクラスタップを構成する量子化DCT係数は、上述したパターンのものに限定されるものではない。

クラスタップ抽出回路442において得られる、注目画素ブロックのクラスタップは、クラス分類回路443に供給されるようになっている。クラス分類回路443は、クラスタップ抽出回路442からのクラスタップと、付加情報としての量子化テーブルに基づき、注目画素ブロックをクラス分類し、その結果得られるクラスに対応するクラスコードを出力する。

ここで、量子化DCT係数で構成されるクラスタップに基づいてクラス分類を行う方法としては、例えば、ADRC等を採用することができる。

ADRCを用いる方法では、クラスタップを構成する量子化DCT係数がADRC処理され、その結果得られるADRCコードにしたがって注目画素ブロックのクラスが決定される。

この実施の形態においても、クラス分類回路443において、クラスタップを構成する量子化DCT係数から、重要性の高い特徴量を抽出し、その特徴量に基づいてクラス分類を行うことで、クラス数を低減するようになっている。

図47は、図46のクラス分類回路443の構成例を示している。

この図47に示すクラス分類回路443において、クラスタップは、電力演算回路451に供給されるようになっている。電力演算回路451は、クラスタップを構成する量子化DCT係数を幾つかの空間周波数帯域のものに分け、各周波数帯域の電力を演算する。

電力演算回路451は、クラスタップを構成する 8×8 個の量子化DCT係数を上述の図6に示したような4つの空間周波数帯域 S_0 、 S_1 、 S_2 、 S_3 に分割する。

さらに、電力演算回路451は、空間周波数帯域 S_0 、 S_1 、 S_2 、 S_3 それぞれについて、量子化DCT係数のAC成分の電力 P_0 、 P_1 、 P_2 、 P_3 を演算し、クラスコード生成回路452に出力する。

クラスコード生成回路452は、電力演算回路451からの電力 P_0 、 P_1 、 P_2 、 P_3 を閾値テーブル記憶部453に記憶された対応する閾値 TH_0 、 TH_1 、 TH_2 、 TH_3 とそれぞれ比較し、それぞれの大小関係に基づいて、クラスコードを

出力する。すなわち、クラスコード生成回路452は、電力 P_0 と閾値 TH_0 とを比較し、その大小関係を表す1ビットのコードを得る。同様に、クラスコード生成回路452は、電力 P_1 と閾値 TH_1 、電力 P_2 と閾値 TH_2 、電力 P_3 と閾値 TH_3 をそれぞれ比較することにより、それぞれについて1ビットのコードを得る。そして、クラスコード生成回路452は、以上のようにして得られる4つの1ビットのコードを例えば所定の順番で並べることにより得られる4ビットのコード（したがって、0～15のうちのいずれかの値）を注目画素ブロックの第1のクラスを表すクラスコード（以下、適宜、電力クラスコードという）とする。

さらに、クラスコード生成回路452には、付加情報としての量子化テーブルが供給されるようになっている。クラスコード生成回路452は、その付加情報に基づいてクラス分類を行い、これにより、注目画素ブロックの第2のクラスを表すクラスコードを得る。すなわち、クラスコード生成回路452は、例えば、いま、JPG符号化において、前述の図1Bに示した2種類の量子化テーブルのうちのいずれかを用いて量子化が行われるとした場合には、付加情報としての量子化テーブルがその2種類の量子化テーブルのうちのいずれであるかを判定し、その判定結果を表す1ビットのコードを注目画素ブロックの第2のクラスを表すクラスコード（以下、適宜、付加情報クラスコードという）とする。

そして、クラスコード生成回路452は、第1のクラスを表す4ビットの電力クラスコードに、第2のクラスを表す1ビットの付加情報クラスコードを付加することで、注目画素ブロックについての最終的なクラスコードを生成して出力する。したがって、この実施の形態では、最終的なクラスコードは5ビットであり、注目画素ブロックは、 $2^5 (= 32)$ 個のクラスのうちのいずれか（例えば、0～31のうちのいずれかの値で表されるクラス）にクラス分類されることになる。

なお、量子化テーブルに基づいてクラス分類を行う方法は、上述したものに限定されるものではない。すなわち、クラスコード生成回路452においては、付加情報として供給される量子化テーブル（JPG符号化で、実際に使用された量子化テーブル）と比較する標準パターンとしての量子化テーブルを複数用意しておき、付加情報としての量子化テーブルに最も近似する標準パターンとしての量子化テーブルを検出し、その検出結果に対応するコードを付加情報クラスコー

ドとして出力するようにすることが可能である。

閾値テーブル記憶部 453 は、空間周波数帯域 $S_0 \sim S_3$ の電力 $P_0 \sim P_3$ とそれぞれ比較する閾値 $TH_0 \sim TH_3$ を記憶している。

なお、上述の場合には、クラス分類処理に、量子化 DCT 係数の DC 成分 x_0 が用いられないが、この DC 成分 x_0 をも用いてクラス分類処理を行うことも可能である。

図 46 に戻り、以上のようなクラス分類回路 443 が出力するクラスコードは、係数テーブル記憶部 444 にアドレスとして与えられる。

係数テーブル記憶部 444 は、後述するような学習処理が行われることにより得られるクラスごとのタップ係数が登録された係数テーブルを記憶しており、クラス分類回路 443 が出力するクラスコードに対応するアドレスに記憶されているクラスのタップ係数を積和演算回路 445 に出力する。

この実施の形態においても、画素ブロックがクラス分類されるから、注目画素ブロックについて、1つのクラスコードが得られる。一方、画素ブロックは、この実施の形態では 8×8 画素の 64 画素で構成されるから、注目画素ブロックについて、それを構成する 64 画素それぞれを復号するための 64 セットのタップ係数が必要である。したがって、係数テーブル記憶部 444 には、1つのクラスコードに対応するアドレスに対して、64 セットのタップ係数が記憶されている。

積和演算回路 445 は、予測タップ抽出回路 441 が出力する予測タップと、係数テーブル記憶部 444 が出力するタップ係数とを取得し、その予測タップとタップ係数とを用いて、上述の式 (1) に示した線形予測演算 (積和演算) を行い、その結果得られる注目画素ブロックの 8×8 画素の画素値を対応する DCT ブロックの復号結果としてブロック分解回路 433 (図 44) に出力する。

予測タップ抽出回路 441 においては、上述したように注目画素ブロックの各画素が順次注目画素とされるが、積和演算回路 445 は、注目画素ブロックの注目画素となっている画素の位置に対応した動作モード (以下、適宜、画素位置モードという) となって処理を行う。

すなわち、例えば、注目画素ブロックの画素のうちラスタスキャン順で i 番目の画素を p_i と表し、画素 p_i が注目画素となっている場合、積和演算回路 445

は、画素位置モード# i の処理を行う。

具体的には、上述したように、係数テーブル記憶部 444 は、注目画素ブロックを構成する 64 画素それぞれを復号するための 64 セットのタップ係数を出力するが、そのうちの画素 p_i を復号するためのタップ係数のセットを W_i と表すと、積和演算回路 445 は、動作モードが画素位置モード# i のときには、予測タップと 64 セットのタップ係数のうちのセット W_i とを用いて、上述の式 (1) の積和演算を行い、その積和演算結果を画素 p_i の復号結果とする。

次に、図 48 のフローチャートを参照して、図 46 の係数変換回路 432A の処理について説明する。

エントロピー復号回路 431 が出力するブロックごとの量子化 DCT 係数は、予測タップ抽出回路 441 及びクラスタップ抽出回路 442 において順次受信され、予測タップ抽出回路 441 は、そこに供給される量子化 DCT 係数のブロック (DCT ブロック) に対応する画素ブロックを順次注目画素ブロックとする。

そして、クラスタップ抽出回路 442 は、ステップ S211 において、そこで受信した量子化 DCT 係数の中から、注目画素ブロックをクラス分類するのに用いるものを抽出して、クラスタップを構成し、クラス分類回路 443 に供給する。

クラス分類回路 443 には、クラス分類回路 442 からのクラスタップが供給される他、エントロピー復号回路 431 が出力する付加情報としての量子化テーブルも供給されるようになっている。クラス分類回路 443 は、ステップ S212 において、クラスタップ抽出回路 442 からのクラスタップ及びエントロピー復号回路 431 からの量子化テーブルを用いて、注目画素ブロックをクラス分類し、その結果得られるクラスコードを係数テーブル記憶部 444 に出力する。

すなわち、ステップ S212 では、図 49 のフローチャートに示すように、まず最初に、ステップ S221 において、クラス分類回路 443 (図 47) の電力演算回路 451 が、クラスタップを構成する 8×8 個の量子化 DCT 係数を上述の図 8 に示した 4 つの空間周波数帯域 $S_0 \sim S_3$ に分割し、それぞれの電力 $P_0 \sim P_3$ を演算する。この電力 $P_0 \sim P_3$ は、電力演算回路 451 からクラスコード生成回路 452 に出力される。

クラスコード生成回路 452 は、ステップ S222 において、閾値テーブル記

憶部 4 5 3 から閾値 $TH_0 \sim TH_3$ を読み出し、電力演算回路 4 5 1 からの電力 $P_0 \sim P_3$ それぞれと、閾値 $TH_0 \sim TH_3$ それぞれとを比較し、それぞれの大小関係に基づいた電力クラスコードを生成する。

さらに、クラスコード生成回路 4 5 2 は、ステップ S 2 2 3 において、付加情報としての量子化テーブルを用いて、付加情報クラスコードを生成し、ステップ S 2 2 4 に進む。ステップ S 2 2 4 では、クラスコード生成回路 4 5 2 は、電力クラスコードと付加情報クラスコードとから、最終的なクラスコードを生成し、リターンする。

図 4 8 に戻り、ステップ S 2 1 2 において以上のようにして得られるクラスコードは、クラス分類回路 4 4 3 から係数テーブル記憶部 4 4 4 に対して、アドレスとして与えられる。

係数テーブル記憶部 4 4 4 は、クラス分類回路 4 4 3 からのアドレスとしてのクラスコードを受信すると、ステップ S 2 1 3 において、そのアドレスに記憶されている 6 4 セットのタップ係数を読み出し、積和演算回路 4 4 5 に出力する。

そして、ステップ S 2 1 4 に進み、予測タップ抽出回路 4 4 1 は、注目画素ブロックの画素のうち、ラストスキャン順で、まだ、注目画素とされていない画素を注目画素として、その注目画素の画素値を予測するのに用いる量子化 DCT 係数を抽出し、予測タップとして構成する。この予測タップは、予測タップ抽出回路 4 4 1 から積和演算回路 4 4 5 に供給される。

ここで、この実施の形態では、各画素ブロックごとに、その画素ブロックのすべての画素について、同一の予測タップが構成されるので、実際には、ステップ S 2 1 4 の処理は、注目画素ブロックについて、最初に注目画素とされる画素に対してだけ行えば、残りの 6 3 画素に対しては、行う必要がない。

積和演算回路 4 4 5 は、ステップ S 2 1 5 において、ステップ S 2 1 3 で係数テーブル記憶部 4 4 4 が出力する 6 4 セットのタップ係数のうち、注目画素に対する画素位置モードに対応するタップ係数のセットを取得し、そのタップ係数のセットと、ステップ S 2 1 4 で予測タップ抽出回路 4 4 1 から供給される予測タップとを用いて、上述の式 (1) に示した積和演算を行い、注目画素の画素値の復号値を得る。

そして、ステップS 2 1 6に進み、予測タップ抽出回路4 4 1は、注目画素ブロックのすべての画素を注目画素として、処理を行ったかどうかを判定する。ステップS 2 1 6において、注目画素ブロックのすべての画素を注目画素として、まだ処理を行っていないと判定された場合、ステップS 2 1 4に戻り、予測タップ抽出回路4 4 1は、注目画素ブロックの画素のうち、ラストスキャン順で、まだ、注目画素とされていない画素を新たに注目画素として、以下、同様の処理を繰り返す。

また、ステップS 2 1 6において、注目画素ブロックのすべての画素を注目画素として、処理を行ったと判定された場合、すなわち、注目画素ブロックのすべての画素の復号値が得られた場合、積和演算回路4 4 5は、その復号値で構成される画素ブロック（復号ブロック）をブロック分解回路4 3 3（図4 4）に出力し、処理を終了する。

なお、図4 8のフローチャートにしたがった処理は、予測タップ抽出回路4 4 1が新たな注目画素ブロックを設定することに繰り返し行われる。

次に、図5 0は、図4 6の係数テーブル記憶部4 4 4に記憶させるタップ係数の学習処理を行う学習装置4 6 0 Aの構成例を示している。

この図5 0に示す学習装置4 6 0 Aにおいて、ブロック化回路4 6 1には、1枚以上の学習用の画像データが学習時の教師となる教師データとして供給されるようになっている。ブロック化回路4 6 1は、教師データとしての画像をJ P E G符号化における場合と同様に8 × 8画素の画素ブロックにブロック化する。

D C T回路4 6 2は、ブロック化回路4 6 1がブロック化した画素ブロックを順次注目画素ブロックとして読み出し、その注目画素ブロックをD C T処理することでD C T係数のブロックとする。このD C T係数のブロックは、量子化回路4 6 3に供給される。

量子化回路4 6 3は、D C T回路4 6 2からのD C T係数のブロックをJ P E G符号化に用いられるのと同じの量子化テーブルにしたがって量子化し、その結果得られる量子化D C T係数のブロック（D C Tブロック）を予測タップ抽出回路4 6 4及びクラスタップ抽出回路4 6 5に順次供給する。

すなわち、量子化回路4 6 3は、J P E G符号化に用いられる一般的な圧縮率

の幾つかを設定し、各圧縮率に対応する量子化テーブルにしたがって、DCT係数を量子化して、予測タップ抽出回路464及びクラスタップ抽出回路465に順次供給する。さらに、量子化回路463は、量子化に用いた量子化テーブルを付加情報としてクラス分類回路466に供給する。なお、この量子化回路463が使用するのと同じの量子化テーブルが、図47のクラスコード生成回路452において、標準パターンとして記憶されている。

予測タップ抽出回路464は、注目画素ブロックの画素のうち、ラストスキャン順で、まだ、注目画素とされていない画素を注目画素として、その注目画素について、量子化回路463の出力から必要な量子化DCT係数を抽出することで、図46の予測タップ抽出回路441が構成するのと同じの予測タップを構成する。この予測タップは、学習時の生徒となる生徒データとして、予測タップ抽出回路464から正規方程式加算回路467に供給される。

クラスタップ抽出回路465は、注目画素ブロックについて、量子化回路463の出力から必要な量子化DCT係数を抽出することで図46のクラスタップ抽出回路442が構成するのと同じのクラスタップを構成する。このクラスタップは、クラスタップ抽出回路465からクラス分類回路466に供給される。

クラス分類回路466は、クラスタップ抽出回路465からのクラスタップと量子化回路463からの付加情報としての量子化テーブルとを用いて、図46のクラス分類回路443と同一の処理を行うことで、注目画素ブロックをクラス分類し、その結果得られるクラスコードを正規方程式加算回路467に供給する。

正規方程式加算回路467は、ブロック化回路461から教師データとしての注目画素の画素値を読み出し、予測タップ構成回路464からの生徒データとしての予測タップを構成する量子化DCT係数及び注目画素を対象とした足し込みを行う。

すなわち、正規方程式加算回路467は、クラス分類回路466から供給されるクラスコードに対応するクラスごとに、予測タップ（生徒データ）を用い、上述の式（8）の行列Aにおける各コンポーネントとなっている生徒データどうしの乗算（ $x_{in}x_{im}$ ）とサメーション（ Σ ）に相当する演算を行う。

さらに、正規方程式加算回路467は、やはり、クラス分類回路466から供

給されるクラスコードに対応するクラスごとに、予測タップ（生徒データ）及び注目画素（教師データ）を用い、上述の式（８）のベクトル v における各コンポーネントとなっている、生徒データと教師データの乗算（ $x_i \cdot y_i$ ）と、サメーション（ Σ ）に相当する演算を行う。

なお、正規方程式加算回路４６７における、上述のような足し込みは、各クラスについて、注目画素に対する画素位置モードごとに行われる。

正規方程式加算回路４６７は、ブロック化回路４６１に供給された教師画像を構成する画素すべてを注目画素として、以上の足し込みを行い、これにより、各クラスについて画素位置モードごとに上述の式（８）に示した正規方程式がたてられる。

タップ係数決定回路４６８は、正規方程式加算回路４６７においてクラスごとに、かつ画素位置モードごとに生成された正規方程式を解くことにより、クラスごとに６４セットのタップ係数を求め、係数テーブル記憶部４６９の各クラスに対応するアドレスに供給する。

なお、学習用の画像として用意する画像の枚数や、その画像の内容等によっては、正規方程式加算回路４６７において、タップ係数を求めるのに必要な数の正規方程式が得られないクラスが生じる場合があり得るが、タップ係数決定回路４６８は、そのようなクラスについては、例えば、デフォルトのタップ係数を出力する。

係数テーブル記憶部４６９は、タップ係数決定回路４６８から供給されるクラスごとの６４セットのタップ係数を記憶する。

次に、図５１のフローチャートを参照して、図５０の学習装置４６０Ａの処理（学習処理）について説明する。

ブロック化回路４６１には、学習用の画像データが教師データとして供給され、ブロック化回路４６１は、ステップＳ２３１において、教師データとしての画像データをＪＰＥＧ符号化における場合と同様に８×８画素の画素ブロックにブロック化して、ステップＳ２３２に進む。ステップＳ２３２では、ＤＣＴ回路４６２が、ブロック化回路４６１がブロック化した画素ブロックを順次読み出し、その注目画素ブロックをＤＣＴ処理することでＤＣＴ係数のブロックとし、ステッ

ブ S 2 3 3 に進む。

ステップ S 2 3 3 では、量子化回路 4 6 3 が、あらかじめ設定された量子化テーブルのうちまだ注目量子化テーブルとされていないもののうちの 1 つを注目量子化テーブルにセットし、クラス分類回路 4 6 6 に供給して、ステップ S 2 3 4 に進む。ステップ S 2 3 4 では、量子化回路 4 6 3 が、D C T 回路 4 6 2 において得られた D C T 係数のブロックを順次読み出し、注目量子化テーブルにしたがって量子化して、量子化 D C T 係数で構成されるブロック（D C T ブロック）とする。

そして、ステップ S 2 3 5 に進み、クラスタップ抽出回路 4 6 5 は、ブロック化回路 4 6 1 でブロック化された画素ブロックのうち、まだ注目画素ブロックとされていないものを注目画素ブロックとする。さらに、クラスタップ抽出回路 4 6 5 は、注目画素ブロックをクラス分類するのに用いる量子化 D C T 係数を量子化回路 4 6 3 で得られた D C T ブロックから抽出して、クラスタップを構成し、クラス分類回路 4 6 6 に供給する。クラス分類回路 4 6 6 は、ステップ S 2 3 6 において、図 4 9 のフローチャートで説明した場合と同様に、クラスタップ抽出回路 4 6 5 からのクラスタップ及び量子化回路 4 6 3 からの注目量子化テーブルを用いて、注目画素ブロックをクラス分類し、その結果得られるクラスコードを正規方程式加算回路 4 6 7 に供給して、ステップ S 2 3 7 に進む。

ステップ S 2 3 7 では、予測タップ抽出回路 4 6 4 が、注目画素ブロックの画素のうちラスタスキャン順でまだ注目画素とされていない画素を注目画素として、その注目画素について、量子化回路 4 6 3 の出力から必要な量子化 D C T 係数を抽出することで、図 4 6 の予測タップ抽出回路 4 4 1 が構成するのと同様の予測タップを構成する。そして、予測タップ抽出回路 4 6 4 は、注目画素についての予測タップを生徒データとして正規方程式加算回路 4 6 7 に供給し、ステップ S 2 3 8 に進む。

ステップ S 2 3 8 では、正規方程式加算回路 4 6 7 は、ブロック化回路 4 6 1 から教師データとしての注目画素を読み出し、生徒データとしての予測タップを構成する量子化 D C T 係数及び教師データとしての注目画素を対象として、上述の式（8）の行列 A とベクトル v の上述したような足し込みを行う。なお、この

足し込みは、クラス分類回路466からのクラスコードに対応するクラスごとに、かつ、注目画素に対する画素位置モードごとに行われる。

そして、ステップS239に進み、予測タップ抽出回路464は、注目画素ブロックのすべての画素を注目画素として、足し込みを行ったかどうかを判定する。ステップS239において、注目画素ブロックのすべての画素を注目画素として、まだ足し込みを行っていないと判定された場合、ステップS237に戻り、予測タップ抽出回路464は、注目画素ブロックの画素のうちラストスキャン順でまだ注目画素とされていない画素を新たに注目画素として、以下、同様の処理を繰り返す。

また、ステップS239において、注目画素ブロックのすべての画素を注目画素として、足し込みを行ったと判定された場合、ステップS240に進み、ブロック化回路461は、教師データとしての画像から得られたすべての画素ブロックについて、注目画素ブロックとして処理を行ったかどうかを判定する。ステップS240において、教師データとしての画像から得られたすべての画素ブロックを注目画素ブロックとして、まだ処理を行っていないと判定された場合、ステップS235に戻り、ブロック化回路461でブロック化された画素ブロックのうちまだ注目画素ブロックとされていないものが新たに注目画素ブロックとされ、以下、同様の処理が繰り返される。

一方、ステップS240において、教師データとしての画像から得られたすべての画素ブロックについて注目画素ブロックとして処理を行ったと判定された場合、ステップS241に進み、量子化回路463は、あらかじめ設定された量子化テーブルのすべてを注目量子化テーブルとして処理を行ったかどうかを判定する。ステップS241において、あらかじめ設定された量子化テーブルのすべてについて注目量子化テーブルとして処理を行っていないと判定された場合、ステップS233に戻り、すべての学習用の画像データを対象に、以下、ステップS233以降の処理が繰り返される。

また、ステップS241において、あらかじめ設定された量子化テーブルのすべてを注目量子化テーブルとして処理を行ったと判定された場合、ステップS242に進み、タップ係数決定回路468は、正規方程式加算回路467において

各クラスの画素位置モードごとに生成された正規方程式を解くことにより、各クラスごとに、そのクラスの64の画素位置モードそれぞれに対応する64セットのタップ係数を求め、係数テーブル記憶部469の各クラスに対応するアドレスに供給して記憶させ、処理を終了する。

以上のようにして、係数テーブル記憶部469に記憶された各クラスごとのタップ係数が、図46の係数テーブル記憶部444に記憶されている。

したがって、係数テーブル記憶部444に記憶されたタップ係数は、線形予測演算を行うことにより得られる元の画素値の予測値の予測誤差（ここでは、自乗誤差）が統計的に最小になるように学習を行うことにより求められたものであり、その結果、図46の係数変換回路432Aによれば、JPEG符号化された画像を元の画像に限りなく近い画像に復号することができる。

また、上述したように、JPEG符号化された画像の復号処理とその画質を向上させるための処理とが同時に施されることとなるので、JPEG符号化された画像から効率的に画質の良い復号画像を得ることができる。

なお、この実施の形態では、クラス分類回路443、466におけるクラス分類をクラスタップだけでなく付加情報としての量子化テーブルをも用いて行っているが、クラス分類は、クラスタップのみを用いて行うことが可能である。しかしながら、上述のように、クラス分類を付加情報としての量子化テーブルを用いて行うことで、いわば、精細なクラス分けが可能となり、復号画像の画質をより向上させることが可能となる。

次に、図52は、図44の係数変換回路432の他の構成例を示している。なお、図中、図46における場合と対応する部分については、同一の符号を付して、その説明を適宜省略する。すなわち、図52に示す係数変換回路432Bは、逆量子化回路471が新たに設けられている他は、基本的に、図46における場合と同様に構成されている。

図52に示す係数変換回路432Bにおいて、逆量子化回路471には、エントロピー復号回路431（図44）において符号化データをエントロピー復号することにより得られるブロックごとの量子化DCT係数が供給される。さらに、逆量子化回路471には、エントロピー復号回路431が出力する付加情報とし

ての量子化テーブルも供給される。

逆量子化回路 4 7 1 は、エントロピー復号回路 4 3 1 からの量子化 D C T 係数を同じくエントロピー復号回路 4 3 1 からの量子化テーブルにしたがって逆量子化し、その結果得られる D C T 係数を予測タップ抽出回路 4 4 1 及びクラスタップ抽出回路 4 4 2 に供給する。

したがって、予測タップ抽出回路 4 4 1 とクラスタップ抽出回路 4 4 2 では、量子化 D C T 係数ではなく D C T 係数を対象として予測タップとクラスタップがそれぞれ構成され、以降も、D C T 係数を対象として、図 4 6 における場合と同様の処理が行われる。

このように、図 5 2 の係数変換回路 4 3 2 B では、量子化 D C T 係数ではなく、D C T 係数を対象として処理が行われるため、係数テーブル記憶部 4 4 4 に記憶させるタップ係数は、図 4 6 における場合と異なるものとする必要がある。

そこで、図 5 3 は、図 5 2 の係数テーブル記憶部 4 4 4 に記憶させるタップ係数の学習処理を行う学習装置 4 6 0 B の構成例を示している。なお、図中、図 5 0 における場合と対応する部分については、同一の符号を付して、その説明を適宜省略する。すなわち、図 5 3 に示す学習装置 4 6 0 B は、量子化回路 4 6 3 の後段に、逆量子化回路 4 8 1 が新たに設けられている他は、図 5 0 における場合と基本的に同様に構成されている。

図 5 3 に示す学習装置 4 6 0 B において、逆量子化回路 4 8 1 には、逆量子化回路 4 6 3 が出力する量子化 D C T 係数と、付加情報としての量子化テーブルが供給されるようになっている。そして、逆量子化回路 4 8 1 は、逆量子化回路 4 6 3 からの量子化 D C T 係数を同じく逆量子化回路 4 6 3 からの量子化テーブルにしたがって逆量子化し、その結果得られる D C T 係数を予測タップ抽出回路 4 6 4 及びクラスタップ抽出回路 4 6 5 に供給する。

したがって、予測タップ抽出回路 4 6 4 とクラスタップ抽出回路 4 6 5 では、量子化 D C T 係数ではなく D C T 係数を対象として予測タップとクラスタップがそれぞれ構成され、以降も、D C T 係数を対象として、図 5 0 における場合と同様の処理が行われる。

その結果、D C T 係数が量子化され、さらに逆量子化されることにより生じる

量子化誤差の影響を低減するタップ係数が得られることになる。

次に、図54は、図44の係数変換回路432の他の構成例を示している。なお、図中、図46における場合と対応する部分については、同一の符号を付して、その説明を適宜省略する。すなわち、図52に示す係数変換回路432Cは、クラスタップ抽出回路442が設けられていない他は、基本的に、図46における場合と同様に構成されている。

したがって、図54に示す係数変換回路432Cでは、クラス分類回路443は、そこに供給される付加情報としての量子化テーブルにのみ基づいてクラス分類を行い、その結果得られる付加情報クラスコードをそのまま最終的なクラスコードとして係数テーブル記憶部444に供給する。

この実施の形態では、付加情報クラスコードは、上述したように、1ビットであり、したがって、図54の係数テーブル記憶部444には、 $2 (= 2^1)$ クラスのタップ係数だけが記憶されており、これを用いて処理が行われる。

このように、図54の係数変換回路432Cでは、係数テーブル記憶部444に記憶されているタップ係数は、図46における場合と異なるものとなっている。

そこで、図55は、図54の係数テーブル記憶部444に記憶させるタップ係数の学習処理を行う学習装置460Cの構成例を示している。なお、図中、図50における場合と対応する部分については、同一の符号を付して、その説明を適宜省略する。すなわち、図55に示す学習装置460Cは、クラスタップ抽出回路465が設けられていない他は、図50における場合と基本的に同様に構成されている。

したがって、図55の学習装置460Cでは、正規方程式加算回路467において、付加情報のみに基づいて得られるクラスごとに上述の足し込みが行われる。そして、タップ係数決定回路468において、そのような足し込みによって生成される正規方程式を解くことにより、タップ係数が求められる。

次に、図56は、図44の係数変換回路432の他の構成例を示している。なお、図中、図46又は図52における場合と対応する部分については、同一の符号を付して、その説明を適宜省略する。すなわち、図56に示す係数変換回路432Dは、クラスタップ抽出回路442が設けられておらず、かつ逆量子化回路

471が新たに設けられている他は、基本的に、図46における場合と同様に構成されている。

したがって、図56に示す係数変換回路432Dでは、図54の係数変換回路432Cにおける場合と同様に、係数テーブル記憶部444には、付加情報としての量子化テーブルにのみ基づいて行われるクラス分類によって得られるクラスのトップ係数だけが記憶されており、これを用いて処理が行われる。

さらに、図56の係数変換回路432Dでは、図52の係数変換回路432Cと同様に、予測トップ抽出回路441において、量子化DCT係数ではなく、逆量子化回路471が出力するDCT係数を対象として、予測トップが構成され、以降も、DCT係数を対象として、処理が行われる。

したがって、図56の係数変換回路432Dでも、係数テーブル記憶部444に記憶されているトップ係数は、図46における場合と異なるものとなっている。

そこで、図57は、図56の係数テーブル記憶部444に記憶させるトップ係数の学習処理を行う学習装置460Dの構成例を示している。なお、図中、図50又は図53における場合と対応する部分については、同一の符号を付して、その説明を適宜省略する。すなわち、図57に示す学習装置460Dは、クラストップ抽出回路465が設けられておらず、かつ逆量子化回路481が新たに設けられている他は、図50における場合と基本的に同様に構成されている。

したがって、図57の学習装置460Dでは、予測トップ抽出回路464において、量子化DCT係数ではなく、DCT係数を対象として、予測トップが構成され、以降も、DCT係数を対象として処理が行われる。さらに、正規方程式加算回路467において、付加情報としての量子化テーブルにのみ基づいて上述の足し込みが行われるクラス分類によって得られるクラスごとに行われ、トップ係数決定回路468において、そのようなクラスごとの正規方程式を解くことにより、トップ係数が求められる。

次に、以上においては、静止画を圧縮符号化するJPEG符号化された画像を対象としたが、本発明は、動画を圧縮符号化する、例えば、MPG符号化された画像を対象とすることも可能である。

すなわち、図58は、MPG符号化が行われる場合の図2のエンコーダ42

1の構成例を示している。

この図58に示すエンコーダ421において、MPEG符号化の対象である動画を構成するフレーム又はフィールドは、順次、動き検出回路491と演算器492に供給される。

動き検出回路491は、そこに供給されるフレームについて、マクロブロック単位で、動きベクトルを検出し、エントロピー符号化回路496及び動き補償回路500に供給する。

演算器492は、そこに供給される画像が、Iピクチャであればそのままブロック化回路493に供給し、Pピクチャ又はBピクチャであれば動き補償回路500から供給される参照画像との差分を演算して、その差分値をブロック化回路493に供給する。

ブロック化回路493は、演算器492の出力を 8×8 画素の画素ブロックにブロック化し、DCT回路494に供給する。DCT回路494は、ブロック化回路493からの画素ブロックをDCT処理し、その結果得られるDCT係数を量子化回路495に供給する。量子化回路495は、DCT回路494からのブロック単位のDCT係数を所定の量子化テーブルにしたがって量子化し、その結果得られる量子化DCT係数を用いた量子化テーブルとともにエントロピー符号化回路496に供給する。エントロピー符号化回路496は、量子化回路495からの量子化DCT係数をエントロピー符号化し、動き検出回路491からの動きベクトルや量子化回路495からの量子化テーブル、その他の必要な情報を付加して、その結果得られる符号化データをMPEG符号化結果として出力する。

量子化回路495が出力する量子化DCT係数のうち、Iピクチャ及びPピクチャは、後で符号化されるPピクチャやBピクチャの参照画像として用いるのにローカルデコードする必要があるため、エントロピー符号化回路496の他、逆量子化回路497にも供給される。また、逆量子化回路497には、量子化回路495で用いられた量子化テーブルも供給される。

逆量子化回路497は、量子化回路495からの量子化DCT係数を同じく量子化回路495からの量子化テーブルにしたがって逆量子化することによりDCT係数とし、逆DCT回路498に供給する。逆DCT回路498は、逆量子化

回路497からのDCT係数を逆DCT処理し、演算器499に出力する。演算器499には、逆DCT回路498の出力の他、動き補償回路500が出力する参照画像も供給されるようになっている。演算器499は、逆DCT回路498の出力が、Pピクチャのものである場合には、その出力と動き補償回路500の出力とを加算することで、元の画像を復号し、動き補償回路500に供給する。また、演算器499は、逆DCT回路498の出力がIピクチャのものである場合には、その出力は、Iピクチャの復号画像となっているので、そのまま動き補償回路500に供給する。

動き補償回路500は、演算器499から供給されるローカルデコードされた画像に対して、動き検出回路491からの動きベクトルにしたがった動き補償を施し、その動き補償後の画像を参照画像として演算器492及び演算器499に供給する。

ここで、以上のようなMPEG符号化の結果得られる符号化データは、図59に示すような構成のMPEGデコーダ510により復号することができる。

図59に示すMPEGデコーダ510において、符号化データは、エントロピー復号回路511に供給され、エントロピー復号回路511は、符号化データをエントロピー復号し、量子化DCT係数を得るとともに、その符号化データに含まれる動きベクトル、量子化テーブル、その他の必要な情報を分離する。そして、量子化DCT係数及び量子化テーブルは、逆量子化回路112に供給され、動きベクトルは、動き補償回路516に供給される。

逆量子化回路112は、エントロピー復号回路511からの量子化DCT係数を同じくエントロピー復号回路511からの量子化テーブルにしたがって逆量子化することによりDCT係数とし、逆DCT回路513に供給する。逆DCT回路513は、逆量子化回路512からのDCT係数を逆DCT処理し、演算器514に出力する。演算器514には、逆量子化回路513の出力の他、動き補償回路516が出力する既に復号されたIピクチャ又はPピクチャをエントロピー復号回路511からの動きベクトルにしたがって動き補償したものが参照画像として供給されるようになっている。演算器514は、逆DCT回路513の出力がPピクチャ又はBピクチャのものである場合には、その出力と動き補償回路5

16の出力とを加算することで、元の画像を復号し、ブロック分解回路515に供給する。また、演算器514は、逆DCT回路513の出力がIピクチャのものである場合には、その出力は、Iピクチャの復号画像となっているので、そのまま、ブロック分解回路515に供給する。

ブロック分解回路515は、演算器514から画素ブロック単位で供給される復号画像のブロック化を解くことで、復号画像を得て出力する。

一方、動き補償回路516は、演算器514が出力する復号画像のうちのIピクチャとPピクチャを受信し、エントロピー復号回路511からの動きベクトルにしたがった動き補償を施す。そして、動き補償回路516は、その動き補償後の画像を参照画像として演算器514に供給する。

そして、図44のデコーダ422によれば、MP EG符号化された符号化データも、上述のように、効率的に、画質の良い画像に復号することができる。

すなわち、符号化データは、エントロピー復号回路431に供給され、エントロピー復号回路431は、符号化データをエントロピー復号し、量子化DCT係数を得るとともに、その符号化データに含まれる動きベクトル、量子化テーブル、その他の必要な情報を分離する。そして、量子化DCT係数は、エントロピー復号回路431から係数変換回路432Dに供給され、量子化テーブルや、動きベクトル等も、付加情報として、エントロピー復号回路431から係数変換回路432Dに供給される。

係数変換回路432Dは、エントロピー復号回路431からの量子化DCT係数Q、付加情報及び学習を行うことにより求められたタップ係数を用いて、所定の予測演算を行うとともに、エントロピー復号回路431からの動きベクトルにしたがった動き補償を必要に応じて行うことにより、量子化DCT係数を元の画素値に復号し、ブロック分解回路433に供給する。

ブロック分解回路433は、係数変換回路432Dにおいて得られた、復号された画素でなる画素ブロックのブロック化を解くことで、復号画像を得て出力する。

次に、図60は、デコーダ22においてMP EG符号化された符号化データを復号する場合の図44の係数変換回路432の構成例を示している。なお、図中、

図 5 6 又は図 5 9 における場合と対応する部分については、同一の符号を付して、その説明を適宜省略する。すなわち、図 6 0 に示す係数変換回路 4 3 2 E は、積和演算回路 4 5 の後段に、図 5 9 における演算器 5 1 4 及び動き補償回路 5 1 6 が設けられている他は、図 5 6 における場合と同様に構成されている。

したがって、図 6 0 の係数変換回路 4 3 2 E では、図 5 6 における場合と同様の処理が、図 5 9 の M P E G デコーダの逆 D C T 回路 5 1 3 における逆 D C T 処理に替えて行われ、以降は、図 5 9 における場合と同様にして、復号画像が得られる。

なお、図 6 0 に示す係数変換回路 4 3 2 E では、クラス分類回路 4 4 3 に供給される付加情報には、量子化テーブルの他、動きベクトルも含まれている。したがって、クラス分類回路 4 4 3 では、量子化テーブルの他、動きベクトルに基づいてクラス分類を行うことが可能である。動きベクトルに基づいてのクラス分類では、例えば、動きベクトルの大きさと所定の閾値との大小関係を表すコードや動きベクトルの x 成分、y 成分それぞれと所定の閾値との大小関係を表すコード等をクラスコードとするようにすることが可能である。

次に、図 6 1 は、図 6 0 の係数テーブル記憶部 4 4 4 に記憶させるタップ係数を学習する学習装置 4 6 0 E の構成例を示している。なお、図中、図 5 7 における場合と対応する部分については、同一の符号を付して、その説明を適宜省略する。

すなわち、図 6 1 に示す学習装置 4 6 0 E に置いて、動きベクトル検出回路 5 2 1 及び演算器 5 2 2 には、学習用の画像が教師データとして入力される。動きベクトル検出回路 5 2 1、演算器 5 2 2、ブロック化回路 5 2 3、D C T 回路 5 2 4、量子化回路 5 2 5、逆量子化回路 5 2 7、逆 D C T 回路 5 2 8、演算器 5 2 9 又は動き補償回路 5 3 0 は、図 5 8 の動きベクトル検出回路 4 9 1、演算器 4 9 2、ブロック化回路 4 9 3、D C T 回路 4 9 4、量子化回路 4 9 5、逆量子化回路 4 9 7、逆 D C T 回路 4 9 8、演算器 4 9 9 又は動き補償回路 5 0 0 とそれぞれ同様の処理を行い、これにより、量子化回路 5 2 5 からは、図 5 8 の量子化回路 4 9 5 が出力するのと同様の量子化 D C T 係数と量子化テーブルが出力される。

量子化回路 5 2 5 が出力する量子化 D C T 係数及び量子化テーブルは、逆量子化回路 4 8 1 に供給され、逆量子化回路 4 8 1 は、量子化回路 5 2 5 からの量子化 D C T 係数を同じく量子化回路 5 2 5 からの量子化ステップにしたがって逆量子化して D C T 係数に変換して、予測タップ抽出回路 4 6 4 に供給する。予測タップ抽出回路 4 6 4 は、逆量子化回路 4 8 1 からの D C T 係数から、予測タップを構成し、正規方程式加算回路 4 6 7 に供給する。

一方、クラス分類回路 4 6 6 は、量子化回路 5 2 5 が出力する量子化テーブルに基づいてクラス分類を行う。なお、図 6 0 のクラス分類回路 4 4 3 が量子化テーブル及び動きベクトルに基づいてクラス分類を行う場合には、クラス分類回路 4 6 6 は、量子化回路 5 2 5 が出力する量子化テーブルと動きベクトル検出回路 5 2 1 が出力する動きベクトルに基づいてクラス分類を行う。

クラス分類回路 4 6 6 によるクラス分類の結果得られるクラスコードは、正規方程式加算回路 4 6 7 に供給され、正規方程式加算回路 4 6 7 は、演算器 5 2 2 の出力を教師データとするとともに、逆量子化回路 4 8 1 からの予測タップを生徒データとして上述したような足し込みをクラスごとに行い、これにより、正規方程式を生成する。

そして、タップ係数決定回路 4 6 8 は、正規方程式加算回路 4 6 7 で生成されたクラスごとの正規方程式を解くことにより、クラスごとのタップ係数を求め、係数テーブル記憶部 4 6 9 に供給して記憶させる。

図 6 0 の積和演算回路 4 4 5 では、このようにして求められたクラスごとのタップ係数を用いて、M P E G 符号化された符号化データが復号されるので、やはり、M P E G 符号化された画像の復号処理と、その画質を向上させるための処理とを同時に施すことができ、したがって、M P E G 符号化された画像から効率的に画質の良い復号画像を得ることができる。

なお、図 6 0 の係数変換回路 4 3 2 E は、逆量子化回路 4 7 1 を設けずに構成することが可能である。この場合、図 6 1 の学習装置 4 6 0 E は、逆量子化回路 4 8 1 を設けずに構成すれば良い。

また、図 6 0 の係数変換回路 4 3 2 E は、図 4 6 における場合と同様に、クラスタップ抽出回路 4 4 2 を設けて構成することが可能である。この場合、図 6 1

の学習装置 460E は、図 50 における場合のように、クラスタップ抽出回路 465 を設けて構成すれば良い。

なお、上述の場合においては、付加情報として、量子化テーブルや、動きベクトルを用いるようにしたが、付加情報としては、その他、DCT 係数を元に戻すのに必ずしも必要でない各種の情報を採用することが可能である。すなわち、例えば、MPEG 符号化された符号化データについていえば、付加情報としては、量子化テーブルや動きベクトルの他、ピクチャタイプやマクロブロックタイプ等を採用することが可能である。

以上のように、本発明によれば、付加情報に基づいて、元のデータのうちの注目している注目データを幾つかのクラスのうちいずれかにクラス分類し、学習を行うことにより求められた所定のクラスごとのタップ係数のうち注目データのクラスに対応するタップ係数を取得する。そして、変換データ及び注目データのクラスに対応するタップ係数を用いて、所定の予測演算を行うことにより、変換データを元のデータに効率的に復号することができる。

また、本発明によれば、教師となる教師データを少なくとも直交変換又は周波数変換することにより、生徒となる生徒データを生成し、生徒データを生成するときに用いた所定の付加情報に基づいて、教師データのうちの注目している注目教師データを幾つかのクラスのうちいずれかにクラス分類して、注目教師データのクラスに対応するタップ係数及び生徒データを用いて予測演算を行うことにより得られる教師データの予測値の予測誤差が統計的に最小になるように学習を行い、クラスごとのタップ係数を求める。このようにしても求めたタップ係数を用いることにより、直交変換又は周波数変換されたデータを効率的に復号することが可能となる。

また、次に本発明の他の実施の形態について説明する。

次に説明する実施の形態では、上述の図 2 に示したデコーダ 22 として図 62 に示すようにエントロピー復号回路 631、係数変換回路 632 及びブロック分解回路 633 からなるデコーダ 622 を用いて符号化データを復号する。

符号化データは、エントロピー復号回路 631 に供給されるようになっている。エントロピー復号回路 631 は、符号化データをエントロピー復号して、その結

果得られるブロックごとの量子化DCT係数Qを係数変換回路632に供給する。なお、符号化データには、エントロピー符号化された量子化DCT係数の他、量子化テーブルも含まれる。

係数変換回路632は、エントロピー復号回路631からの量子化DCT係数Qと、後述する学習を行うことにより求められるタップ係数を用いて、所定の予測演算を行うことにより、ブロックごとの量子化DCT係数を8×8画素の元のブロックに復号する。

ブロック分解回路633は、係数変換回路632において得られる、復号されたブロック（復号ブロック）のブロック化を解くことで、復号画像を得て出力する。

次に、図63のフローチャートを参照して、図62のデコーダ22の処理について説明する。

符号化データは、エントロピー復号回路631に順次供給され、ステップS301において、エントロピー復号回路631は、符号化データをエントロピー復号し、ブロックごとの量子化DCT係数Qを係数変換回路632に供給する。係数変換回路632は、ステップS302において、タップ係数を用いた予測演算を行うことにより、エントロピー復号回路631からのブロックごとの量子化DCT係数Qをブロックごとの画素値に復号し、ブロック分解回路633に供給する。ブロック分解回路633は、ステップS303において、係数変換回路632からの画素値のブロック（復号ブロック）のブロック化を解くブロック分解を行い、その結果得られる復号画像を出力して、処理を終了する。

そして、この図62の係数変換回路632では、例えば、クラス分類適応処理を利用して、量子化DCT係数を画素値に復号する。

図64は、クラス分類適応処理により、量子化DCT係数を画素値に復号する図62の係数変換回路632の構成例を示している。

この図64に示す係数変換回路632Aにおいて、エントロピー復号回路631（図62）が出力するブロックごとの量子化DCT係数は、予測タップ抽出回路641及びクラスタップ抽出回路642に供給されるようになっている。

予測タップ抽出回路641は、そこに供給される量子化DCT係数のブロック

(以下、適宜、DCTブロックという)に対応する画素値のブロック(この画素値のブロックは、現段階では存在しないが、仮想的に想定される)(以下、適宜、画素ブロックという)を順次注目画素ブロックとし、さらに、その注目画素ブロックを構成する各画素を例えばいわゆるラスタスキャン順に順次注目画素とする。さらに、予測タップ抽出回路641は、注目画素の画素値を予測するのに用いる量子化DCT係数を抽出し、予測タップとする。

すなわち、予測タップ抽出回路641は、例えば、図65Aに示すように、注目画素が属する画素ブロックに対応するDCTブロックのすべての量子化DCT係数すなわち 8×8 の64個の量子化DCT係数を予測タップとして抽出する。したがって、この実施の形態では、ある画素ブロックのすべての画素について、同一の予測タップが構成される。ただし、予測タップは、注目画素ごとに、異なる量子化DCT係数で構成することが可能である。

なお、予測タップを構成する量子化DCT係数は、上述したパターンのものに限定されるものではない。

予測タップ抽出回路641において得られる、画素ブロックを構成する各画素についての予測タップ、すなわち、64画素それぞれについての64セットの予測タップは、積和演算回路645に供給される。ただし、この実施の形態では、上述したように、画素ブロックのすべての画素について、同一の予測タップが構成されるので、実際には、1つの画素ブロックに対して、1セットの予測タップを積和演算回路645に供給すれば良い。

クラスタップ抽出回路642は、注目画素を幾つかのクラスのうちの一つに分類するためのクラス分類に用いる量子化DCT係数を抽出して、クラスタップとする。

なお、JPEG符号化では、画像が画素ブロックごとに符号化(DCT処理及び量子化)されることから、ある画素ブロックに属する画素は、例えば、すべて同一のクラスにクラス分類することとする。したがって、クラスタップ抽出回路642は、ある画素ブロックの各画素については、同一のクラスタップを構成する。

すなわち、この実施の形態では、クラスタップ抽出回路642は、例えば、図

65Bに示すように、注目画素が属する画素ブロックに対応するDCTブロックとその上下左右に隣接する4個のDCTブロックの合計で5個のDCTブロックの320 ($= 8 \times 8 \times 5$) 個の量子化DCT係数をクラスタップとして抽出する。

ここで、画素ブロックに属する各画素をすべて同一のクラスにクラス分類することは、その画素ブロックをクラス分類することと等価である。したがって、クラスタップ抽出回路642には、注目画素ブロックを構成する64画素それぞれをクラス分類するための64セットのクラスタップではなく、注目画素ブロックをクラス分類するための1セットのクラスタップを構成させれば良く、このため、クラスタップ抽出回路642は、画素ブロックごとに、その画素ブロックをクラス分類するために、その画素ブロックに対応するDCTブロックと、その上下左右に隣接する4個のDCTブロックの量子化DCT係数を抽出して、クラスタップとするようになっている。

なお、クラスタップを構成する量子化DCT係数は、上述したパターンのものに限定されるものではない。

すなわち、JPEG符号化では、 8×8 画素の画素ブロック単位で、DCT及び量子化が行われることにより、 8×8 の量子化DCT係数からなるDCTブロックが構成されるから、ある画素ブロックの画素をクラス分類適応処理によって復号する場合には、その画素ブロックに対応するDCTブロックの量子化DCT係数だけをクラスタップとして用いることが考えられる。

しかしながら、画像においては、ある画素ブロックに注目した場合に、その画素ブロックの画素と、その周辺の画素ブロックの画素との間には、少なからず相関があるのが一般的である。したがって、上述のように、ある画素ブロックに対応するDCTブロックだけでなく、それ以外のDCTブロックからも、量子化DCT係数を抽出して、クラスタップとして用いることによって、注目画素をより適切にクラス分けすることが可能となり、その結果、画素ブロックに対応するDCTブロックの量子化DCT係数だけをクラスタップとして用いる場合に比較して、復号画像の画質を向上させることが可能となる。

ここで、上述の場合には、ある画素ブロックに対応するDCTブロックと、その上下左右に隣接する4個のDCTブロックの量子化DCT係数をクラスタップ

とするようにしたが、クラスタップとする量子化DCT係数は、その他、ある画素ブロックに対応するDCTブロックの斜め方向に隣接するDCTブロックや、隣接しないが周辺にあるDCTブロック等から抽出するようにしても良い。すなわち、どのような範囲のDCTブロックから、クラスタップとする量子化DCT係数を抽出するかは、特に限定されるものではない。

クラスタップ抽出回路642において得られる、注目画素ブロックのクラスタップは、クラス分類回路643に供給されるようになっている。クラス分類回路643は、クラスタップ抽出回路642からのクラスタップに基づき、注目画素ブロックをクラス分類し、その結果得られるクラスに対応するクラスコードを出力する。

ここで、クラス分類を行う方法としては、例えば、ADRC等を採用することができる。

ADRCを用いる方法では、クラスタップを構成する量子化DCT係数がADRC処理され、その結果得られるADRCコードにしたがって注目画素ブロックのクラスが決定される。

クラス分類回路643においては、クラスタップの情報量を上述のADRC処理やあるいはベクトル量子化等によって圧縮してから、クラス分類を行うのが好ましい。

ところで、この実施の形態では、クラスタップは、上述したように、320個の量子化DCT係数で構成される。したがって、例えば、仮に、クラスタップを1ビットADRC処理することにより、クラス分類を行うこととしても、クラスコードの場合の数は、 2^{320} 通りという膨大な値となる。

そこで、この実施の形態では、クラス分類回路643において、クラスタップを構成する量子化DCT係数から、重要性の高い特徴量を抽出し、その特徴量に基づいてクラス分類を行うことで、クラス数を低減するようになっている。

すなわち、図66は、図64のクラス分類回路643の構成例を示している。

この図64に示すクラス分類回路643において、クラスタップは、電力演算回路651に供給されるようになっている。電力演算回路651は、クラスタップを構成する量子化DCT係数を幾つかの空間周波数帯域のものに分け、各周波

数帯域の電力を演算する。

すなわち、この実施の形態では、クラスタップは、図 6 5 B に示したように、5 個の D C T ブロックの量子化 D C T 係数から構成されるが、電力演算回路 6 5 1 は、クラスタップを構成する各 D C T ブロックの 8×8 個の量子化 D C T 係数を例えば図 8 に示すような 4 つの空間周波数帯域 S_0 , S_1 , S_2 , S_3 に分割する。

ここで、1 つの D C T ブロックの 8×8 個の量子化 D C T 係数それぞれをアルファベット x に図 6 5 A に示したようなラスタスキャン順に 0 からのシーケンシャルな整数を付して表すこととすると、空間周波数帯域 S_0 は、4 個の量子化 D C T 係数 x_0 , x_1 , x_8 , x_9 から構成され、空間周波数帯域 S_1 は、12 個の量子化 D C T 係数 x_2 , x_3 , x_4 , x_5 , x_6 , x_7 , x_{10} , x_{11} , x_{12} , x_{13} , x_{14} , x_{15} から構成される。また、空間周波数帯域 S_2 は、12 個の量子化 D C T 係数 x_{16} , x_{17} , x_{24} , x_{25} , x_{32} , x_{33} , x_{40} , x_{41} , x_{48} , x_{49} , x_{56} , x_{57} から構成され、空間周波数帯域 S_3 は、36 個の量子化 D C T 係数 x_{18} , x_{19} , x_{20} , x_{21} , x_{22} , x_{23} , x_{26} , x_{27} , x_{28} , x_{29} , x_{30} , x_{31} , x_{34} , x_{35} , x_{36} , x_{37} , x_{38} , x_{39} , x_{42} , x_{43} , x_{44} , x_{45} , x_{46} , x_{47} , x_{50} , x_{51} , x_{52} , x_{53} , x_{54} , x_{55} , x_{58} , x_{59} , x_{60} , x_{61} , x_{62} , x_{63} から構成される。

さらに、電力演算回路 6 5 1 は、クラスタップを構成する 5 つの D C T ブロックそれぞれについて、その空間周波数帯域 S_0 , S_1 , S_2 , S_3 のそれぞれに関し、量子化 D C T 係数の A C 成分の電力 P_0 , P_1 , P_2 , P_3 を演算し、クラスコード生成回路 6 5 2 に出力する。

すなわち、電力演算回路 6 5 1 は、空間周波数帯域 S_0 については、上述の 4 個の量子化 D C T 係数 x_0 , x_1 , x_8 , x_9 のうちの A C 成分 x_1 , x_8 , x_9 の 2 乗和 $x_1^2 + x_8^2 + x_9^2$ を求め、これを電力 P_0 としてクラスコード生成回路 6 5 2 に出力する。また、電力演算回路 6 5 1 は、空間周波数帯域 S_1 についての上述の 12 個の量子化 D C T 係数の A C 成分、すなわち、12 個すべての量子化 D C T 係数の 2 乗和を求め、これを電力 P_1 としてクラスコード生成回路 6 5 2 に出力する。さらに、電力演算回路 6 5 1 は、空間周波数帯域 S_2 と空間周波数帯域 S_3 についても、空間周波数帯域 S_1 における場合と同様にして、それぞれの

電力 P_2 と電力 P_3 を求め、クラスコード生成回路652に出力する。

クラスコード生成回路652は、電力演算回路651からのクラスタップを構成する5個のDCTブロックそれぞれについての電力 P_0 、 P_1 、 P_2 、 P_3 を閾値テーブル記憶部653に記憶された対応する閾値 TH_0 、 TH_1 、 TH_2 、 TH_3 とそれぞれ比較し、それぞれの大小関係に基づいてクラスコードを出力する。すなわち、クラスコード生成回路652は、電力 P_0 と閾値 TH_0 とを比較し、その大小関係を表す1ビットのコードを得る。同様に、クラスコード生成回路652は、電力 P_1 と閾値 TH_1 、電力 P_2 と閾値 TH_2 、電力 P_3 と閾値 TH_3 をそれぞれ比較することにより、それぞれについて1ビットのコードを得る。

クラスコード生成回路652は、クラスタップを構成する5個のDCTブロックそれぞれについて、上述のようにして、4つの1ビットのコード、すなわち、合計で、20ビットのコードを得る。そして、クラスコード生成回路652は、この20ビットのコードを注目画素ブロックのクラスを表すクラスコードとして出力する。この場合、注目画素ブロックは、 2^{20} 個のクラスのうちのいずれかにクラス分類されることになる。

閾値テーブル記憶部653は、空間周波数帯域 $S_0 \sim S_3$ の電力 $P_0 \sim P_3$ とそれぞれ比較する閾値 $TH_0 \sim TH_3$ を記憶している。

なお、上述の場合には、クラス分類処理に、量子化DCT係数のDC成分 x_0 が用いられないが、このDC成分 x_0 をも用いてクラス分類処理を行うことも可能である。

図64に戻り、以上のようなクラス分類回路643が出力するクラスコードは、係数テーブル記憶部644に、アドレスとして与えられる。

係数テーブル記憶部644は、学習処理が行われることにより得られるタップ係数が登録された係数テーブルを記憶しており、クラス分類回路643が出力するクラスコードに対応するアドレスに記憶されているタップ係数を積和演算回路645に出力する。

ここで、この実施の形態では、画素ブロックがクラス分類されるから、注目画素ブロックについて、1つのクラスコードが得られる。一方、画素ブロックは、この実施の形態では、 8×8 画素の64画素で構成されるから、注目画素ブロッ

クについて、それを構成する64画素それぞれを復号するための64セットのタップ係数が必要である。したがって、係数テーブル記憶部644には、1つのクラスコードに対応するアドレスに対して、64セットのタップ係数が記憶されている。

積和演算回路645は、予測タップ抽出回路641が出力する予測タップと、係数テーブル記憶部644が出力するタップ係数とを取得し、その予測タップとタップ係数とを用いて、上述の式(1)に示した線形予測演算(積和演算)を行い、その結果得られる注目画素ブロックの 8×8 画素の画素値を対応するDCTブロックの復号結果としてブロック分解回路633(図62)に出力する。

ここで、予測タップ抽出回路641においては、上述したように、注目画素ブロックの各画素が順次注目画素とされるが、積和演算回路645は、注目画素ブロックの注目画素となっている画素の位置に対応した動作モード(以下、適宜、画素位置モードという)となって処理を行う。

すなわち、例えば、注目画素ブロックの画素のうちラスタスキャン順で i 番目の画素を p_i と表し、画素 p_i が注目画素となっている場合、積和演算回路645は、画素位置モード# i の処理を行う。

具体的には、上述したように、係数テーブル記憶部644は、注目画素ブロックを構成する64画素それぞれを復号するための64セットのタップ係数を出力するが、そのうちの画素 p_i を復号するためのタップ係数のセットを W_i と表すと、積和演算回路645は、動作モードが画素位置モード# i のときには、予測タップと64セットのタップ係数のうちのセット W_i とを用いて、上述の式(1)の積和演算を行い、その積和演算結果を画素 p_i の復号結果とする。

次に、図67のフローチャートを参照して、図64の係数変換回路632Aの処理について説明する。

エントロピー復号回路631が出力するブロックごとの量子化DCT係数は、予測タップ抽出回路641及びクラスタップ抽出回路642において順次受信され、予測タップ抽出回路641は、そこに供給される量子化DCT係数のブロック(DCTブロック)に対応する画素ブロックを順次注目画素ブロックとする。

そして、クラスタップ抽出回路642は、ステップS311において、そこで

受信した量子化DCT係数の中から、注目画素ブロックをクラス分類するのに用いるもの、すなわち、この実施の形態では、注目画素ブロックに対応するDCTブロックとその上下左右に隣接する4個のDCTブロックとの合計で5個のDCTブロックの量子化DCT係数を抽出して、クラスタップを構成し、クラス分類回路643に供給する。

クラス分類回路643は、ステップS312において、クラスタップ抽出回路642からのクラスタップを用いて、注目画素ブロックをクラス分類し、その結果得られるクラスコードを係数テーブル記憶部644に出力する。

すなわち、ステップS312では、図68のフローチャートに示すように、まず最初に、ステップS321において、クラス分類回路643（図66）の電力演算回路651が、クラスタップを構成する5個のDCTブロックそれぞれについて、図8に示した4つの空間周波数帯域 $S_0 \sim S_3$ それぞれの電力 $P_0 \sim P_3$ を演算する。この電力 $P_0 \sim P_3$ は、電力演算回路651からクラスコード生成回路652に出力される。

クラスコード生成回路652は、ステップS322において、閾値テーブル記憶部653から閾値 $TH_0 \sim TH_3$ を読み出し、電力演算回路651からのクラスタップを構成する5個のDCTブロックの電力 $P_0 \sim P_3$ それぞれと閾値 $TH_0 \sim TH_3$ それぞれとを比較し、それぞれの大小関係に基づいたクラスコードを生成して、リターンする。

図67に戻り、ステップS312において以上のようにして得られるクラスコードは、クラス分類回路643から係数テーブル記憶部644に対して、アドレスとして与えられる。

係数テーブル記憶部644は、クラス分類回路643からのアドレスとしてのクラスコードを受信すると、ステップS313において、そのアドレスに記憶されている64セットのタップ係数を読み出し、積和演算回路645に出力する。

そして、ステップS314に進み、予測タップ抽出回路641は、注目画素ブロックの画素のうち、ラスタスキャン順で、まだ、注目画素とされていない画素を注目画素として、その注目画素の画素値を予測するのに用いる量子化DCT係数を抽出し、予測タップとして構成する。この予測タップは、予測タップ抽出回

路 6 4 1 から積和演算回路 6 4 5 に供給される。

ここで、この実施の形態では、各画素ブロックごとに、その画素ブロックのすべての画素について、同一の予測タップが構成されるので、実際には、ステップ S 3 1 4 の処理は、注目画素ブロックについて、最初に注目画素とされる画素に対してだけ行えば、残りの 6 3 画素に対しては、行う必要がない。

積和演算回路 6 4 5 は、ステップ S 3 1 5 において、ステップ S 3 1 3 で係数テーブル記憶部 6 4 4 が出力する 6 4 セットのタップ係数のうち、注目画素に対する画素位置モードに対応するタップ係数のセットを取得し、そのタップ係数のセットと、ステップ S 3 1 4 で予測タップ抽出回路 6 4 1 から供給される予測タップとを用いて、上述の式 (1) に示した積和演算を行い、注目画素の画素値の復号値を得る。

そして、ステップ S 3 1 6 に進み、予測タップ抽出回路 6 4 1 は、注目画素ブロックのすべての画素を注目画素として処理を行ったかどうかを判定する。ステップ S 3 1 6 において、注目画素ブロックのすべての画素を注目画素として、まだ処理を行っていないと判定された場合、ステップ S 3 1 4 に戻り、予測タップ抽出回路 6 4 1 は、注目画素ブロックの画素のうち、ラスタスキャン順で、まだ、注目画素とされていない画素を新たに注目画素として、以下、同様の処理を繰り返す。

また、ステップ S 3 1 6 において、注目画素ブロックのすべての画素を注目画素として処理を行ったと判定された場合、すなわち、注目画素ブロックのすべての画素の復号値が得られた場合、積和演算回路 6 4 5 は、その復号値で構成される画素ブロック（復号ブロック）をブロック分解回路 6 3 3（図 6 2）に出力し、処理を終了する。

なお、図 6 7 のフローチャートにしたがった処理は、予測タップ抽出回路 6 4 1 が新たな注目画素ブロックを設定することに繰り返し行われる。

次に、上述の場合には、クラス分類回路 6 4 3 において、クラスタップを構成する 5 つの D C T ブロックそれぞれについて、同一の空間周波数帯域 $S_0 \sim S_3$ の電力 $P_0 \sim P_3$ を計算し、その電力に基づいて、クラス分類を行うようにしたが、その他、クラス分類は、例えば、クラスタップを構成する 5 つの D C T ブロック

の幾つかについて、異なる空間周波数帯域の電力を計算し、その電力に基づいて行うようにすることも可能である。

すなわち、例えば、図 6 9 に斜線を付して示すように、クラスタップを構成する 5 つの DCT ブロックのうち、注目画素ブロックに対応する DCT ブロック（以下、適宜、注目 DCT ブロックという）については、垂直方向の高周波数帯域の電力 P_v 及び水平方向の高周波数帯域の電力 P_h を、注目 DCT ブロックの上に隣接する DCT ブロックについては、垂直方向の高周波数帯域の電力 P_u を、注目 DCT ブロックの下に隣接する DCT ブロックについては、垂直方向の高周波数帯域の電力 P_d を、注目 DCT ブロックの左隣の DCT ブロックについては、水平方向の高周波数帯域の電力 P_l を、注目 DCT ブロックの右隣の DCT ブロックについては、水平方向の高周波数帯域の電力 P_r をそれぞれ計算し、それらの電力 P_v 、 P_h 、 P_u 、 P_d 、 P_l 、 P_r に基づき、図 6 6 及び図 6 8 で説明した場合と同様にして、クラス分類を行うようにすることが可能である。

この場合、図 6 6 に示したクラス分類回路 6 4 3 では、図 6 7 のステップ S 3 1 2 において、図 7 0 に示すような処理が行われる。

すなわち、まず最初に、ステップ S 3 3 1 において、クラス分類回路 6 4 3（図 6 6）の電力演算回路 6 5 1 が、クラスタップを構成する 5 個の DCT ブロックについて、図 6 9 で説明したような各周波数帯域の電力 P_v 、 P_h 、 P_u 、 P_d 、 P_l 、 P_r を演算し、クラスコード生成回路 6 5 2 に出力する。

クラスコード生成回路 6 5 2 は、ステップ S 3 3 2 において、閾値テーブル記憶部 6 5 3 から閾値を読み出す。なお、ここでは、閾値テーブル記憶部 6 5 3 に、電力 P_v 、 P_h 、 P_u 、 P_d 、 P_l 、 P_r それぞれと比較するための閾値 TH_v 、 TH_h 、 TH_u 、 TH_d 、 TH_l 、 TH_r が記憶されているものとする。

クラスコード生成回路 6 5 2 は、閾値テーブル記憶部 6 5 3 から閾値 TH_v 、 TH_h 、 TH_u 、 TH_d 、 TH_l 、 TH_r を読み出すと、それぞれを電力演算回路 6 5 1 からの電力 P_v 、 P_h 、 P_u 、 P_d 、 P_l 、 P_r それぞれと比較し、それぞれの大小関係に基づいた 6 個の 1 ビットを得る。そして、クラスコード生成回路 6 5 2 は、その 6 個の 1 ビットのコードからなる 6 ビットのコードをクラスコードとして出力し、リターンする。したがって、この場合、注目画素（注目画素ブロック）は、

64 ($= 2^6$) 個のクラスのうちのいずれかにクラス分類されることになる。

次に、以上においては、クラスタップとしての量子化DCT係数のAC成分をクラス分類に用いるようにしたが、クラス分類は、その他、量子化DCT係数のDC成分を用いて行うことも可能である。

すなわち、クラス分類は、例えば、図71に示すように、注目DCTブロックのDC成分 C_0 、その上下左右に隣接するDCTブロックそれぞれのDC成分 C_u , C_d , C_l , C_r を用いて行うことが可能である。

この場合、図64のクラス分類回路643は、例えば、図72に示すように構成される。

クラスタップは、差分演算回路751に供給されるようになっている。差分演算回路751は、クラスタップを構成する5個のDCTブロックのうち、注目DCTブロックの上下左右に隣接するDCTブロックのDC成分 C_u , C_d , C_l , C_r それぞれと、注目DCTブロックのDC成分 C_0 との差分の絶対値 D_u , D_d , D_l , D_r を演算し、クラスコード生成回路752に供給する。すなわち、差分演算回路751は、次の式(9)を演算し、

$$D_u = |C_u - C_0|$$

$$D_d = |C_d - C_0|$$

$$D_l = |C_l - C_0|$$

$$D_r = |C_r - C_0|$$

... (9)

その演算結果をクラスコード生成回路752に供給する。

クラスコード生成回路752は、差分演算回路751からの演算結果(差分絶対値) D_u , D_d , D_l , D_r を閾値テーブル記憶部753に記憶された対応する閾値 TH_u , TH_d , TH_l , TH_r とそれぞれ比較し、それぞれの大小関係に基づいてクラスコードを出力する。すなわち、クラスコード生成回路752は、差分絶対値 D_u と閾値 TH_u とを比較し、その大小関係を表す1ビットのコードを得る。同様に、クラスコード生成回路752は、差分絶対値 D_d と閾値 TH_d 、差分絶対値 D_l と閾値 TH_l 、差分絶対値 D_r と閾値 TH_r をそれぞれ比較することにより、それぞれについて1ビットのコードを得る。

そして、クラスコード生成回路752は、以上のようにして得られる4つの1ビットのコードを例えば所定の順番で並べることにより得られる4ビットのコード（したがって、0～15のうちのいずれかの値）を注目画素ブロックのクラスを表すクラスコードとして出力する。したがって、この場合、注目画素ブロックは、 $2^4 (= 16)$ 個のクラスのうちのいずれかにクラス分類されることになる。

閾値テーブル記憶部753は、差分絶対値 D_u , D_d , D_l , D_r とそれぞれ比較する閾値 TH_u , TH_d , TH_l , TH_r を記憶している。

クラス分類回路643が図72に示したように構成される場合、図67のステップS312では、図73に示すような処理が行われる。

すなわち、この場合、まず最初に、ステップS341において、差分演算回路751は、クラスタップを構成する5個のDCTブロックそれぞれのDC成分 C_0 , C_u , C_d , C_l , C_r を用いて、上述の差分絶対値 D_u , D_d , D_l , D_r を演算し、クラスコード生成回路752に供給する。

クラスコード生成回路752は、ステップS342において、閾値テーブル記憶部753に記憶された閾値 TH_u , TH_d , TH_l , TH_r それぞれと、差分演算回路751からの差分絶対値 D_u , D_d , D_l , D_r それぞれと比較し、その大小関係を表す4つの1ビットのコードを得る。そして、クラスコード生成回路752は、その4つの1ビットのコードでなる4ビットのコードをクラスコードとして出力し、リターンする。

なお、クラス分類は、量子化DCT係数のAC成分だけ、又は、DC成分だけを用いて行う他、AC成分及びDC成分の両方を用いて行うことも可能である。すなわち、クラス分類の方法は、上述した手法に限定されるものではない。

ここで、上記図64の係数テーブル記憶部644に記憶させるタップ係数の学習処理は、上述の図16や図18に示した学習装置60C, 60Dにより実行することができる。

また、図62の係数変換回路632は、上述の図13と同様に構成することができる。

次に、図74は、上記係数変換回路632の他の構成例を示している。なお、図中、図64における場合と対応する部分については、同一の符号を付して、そ

の説明を適宜省略する。すなわち、図 7 4 に示す係数変換回路 6 3 2 B は、積和演算回路 6 4 5 の後段に、逆 D C T 回路 7 0 1 が新たに設けられている他は、基本的に、図 6 4 における場合と同様に構成されている。

逆 D C T 回路 7 0 1 は、積和演算回路 6 4 5 の出力を逆 D C T 処理することにより、画像に復号して出力する。したがって、図 7 4 の係数変換回路 6 3 2 B では、積和演算回路 6 4 5 は、予測タップ抽出回路 6 4 1 が出力する予測タップを構成する量子化 D C T 係数と、係数テーブル記憶部 6 4 4 に記憶されたタップ係数とを用いた積和演算を行うことにより、D C T 係数を出力する。

このように、図 7 4 の数変換回路 6 3 2 B では、量子化 D C T 係数が、タップ係数との積和演算により、画素値に復号されるのではなく、D C T 係数に変換され、さらに、その D C T 係数が、逆 D C T 回路 7 0 1 で逆 D C T されることにより、画素値に復号される。したがって、係数テーブル記憶部 6 4 4 に記憶させるタップ係数は、図 6 4 における場合と異なるものとする必要がある。

そこで、図 7 5 は、図 7 4 の係数テーブル記憶部 6 4 4 に記憶させるタップ係数の学習処理を行う学習装置 6 6 0 B の構成例を示している。なお、図中、図 1 6 における場合と対応する部分については、最上位桁に 6 を付した同一の符号にて示し、その説明を適宜省略する。すなわち、図 7 5 に示す学習装置 6 6 0 B は、正規方程式加算回路 6 6 7 に対し、教師データとして、学習用の画像の画素値ではなく、D C T 回路 6 6 2 が出力する、学習用の画像を D C T 処理した D C T 係数が与えられるようになっている他は、図 1 6 における場合と同様に構成されている。

したがって、図 7 5 に示した学習装置 6 6 0 B では、正規方程式加算回路 6 6 7 が、D C T 回路 6 6 2 が出力する D C T 係数を教師データとするとともに、予測タップ構成回路 6 6 4 が出力する予測タップを構成する量子化 D C T 係数を生徒データとして、上述の足し込みを行う。そして、タップ係数決定回路 6 6 8 は、そのような足し込みにより得られる正規方程式を解くことにより、タップ係数を求める。その結果、図 7 5 の学習装置 6 6 0 B では、量子化 D C T 係数を、量子化回路 6 6 3 における量子化による量子化誤差を低減（抑制）した D C T 係数に変換するタップ係数が求められることになる。

図 7 4 の係数変換回路 6 3 2 B では、積和演算回路 6 4 5 が上述のようなタップ係数を用いて積和演算を行うため、その出力は、予測タップ抽出回路 6 4 1 が出力する量子化 D C T 係数を、その量子化誤差を低減した D C T 係数に変換したものである。したがって、そのような D C T 係数が逆 D C T 回路 7 0 1 で逆 D C T されることにより、量子化誤差の影響による画質の劣化を低減した復号画像が得られることになる。

次に、図 7 6 は、図 6 2 の係数変換回路 6 3 2 の他の構成例を示している。なお、図中、図 6 4 又は図 7 4 における場合と対応する部分については、同一の符号を付して、その説明を適宜省略する。すなわち、図 7 6 に示す係数変換回路 6 3 2 C は、図 1 8 における場合と同様に、逆量子化回路 6 7 1 が新たに設けられ、かつ、図 7 4 における場合と同様に、逆 D C T 回路 7 0 1 が新たに設けられている他は、図 6 4 における場合と同様に構成されている。

したがって、図 7 6 の係数変換回路 6 3 2 C では、予測タップ抽出回路 6 4 1 とクラスタップ抽出回路 6 4 2 では、量子化 D C T 係数ではなく、D C T 係数を対象として、予測タップとクラスタップがそれぞれ構成される。さらに、図 7 6 の係数変換回路 6 3 2 C では、積和演算回路 6 4 5 は、予測タップ抽出回路 6 4 1 が出力する予測タップを構成する D C T 係数と、係数テーブル記憶部 6 4 4 に記憶されたタップ係数とを用いた積和演算を行うことにより、量子化誤差を低減した D C T 係数を得て、逆 D C T 回路 7 0 1 に出力する。

次に、図 7 7 は、図 7 6 の係数テーブル記憶部 6 4 4 に記憶させるタップ係数の学習処理を行う学習装置 6 6 0 C の構成例を示している。なお、図中、図 7 5 における場合と対応する部分については、同一の符号を付して、その説明を適宜省略する。すなわち、図 7 7 に示す学習装置 6 6 0 C は、図 1 9 における場合と同様に、逆量子化回路 6 8 1 が新たに設けられ、さらに、図 7 5 における場合と同様に、正規方程式加算回路 6 6 7 に対し、教師データとして、学習用の画像の画素値ではなく、D C T 回路 6 6 2 が出力する、学習用の画像を D C T 処理した D C T 係数が与えられるようになっている他は、図 1 6 における場合と同様に構成されている。

したがって、図 7 7 の学習装置 6 6 0 C では、正規方程式加算回路 6 6 7 が、

DCT回路662が出力するDCT係数すなわち量子化誤差のないDCT係数を教師データとするとともに、予測タップ構成回路664が出力する予測タップを構成するDCT係数すなわち量子化されて逆量子化されたDCT係数を生徒データとして、上述の足し込みを行う。そして、タップ係数決定回路668は、そのような足し込みにより得られる正規方程式を解くことにより、タップ係数を求める。その結果、図77の学習装置660Cでは、量子化され、さらに逆量子化されたDCT係数を、その量子化及び逆量子化による量子化誤差を低減したDCT係数に変換するタップ係数が求められることになる。

以上のように、本発明によれば、注目処理データを幾つかのクラスのうちのいずれかにクラス分類するのに用いる変換データを少なくとも注目処理データに対応するブロック以外のブロックから抽出し、クラスタップとし、そのクラスタップに基づいて、注目処理データのクラスを求めるクラス分類を行い、注目処理データのクラスのタップ係数及び変換データを用いて、所定の予測演算を行うことにより、注目処理データの予測値を求めるので、効率的に変換データから所望の処理データを求めることができる。

また、本発明によれば、注目教師データを幾つかのクラスのうちのいずれかにクラス分類するのに用いる生徒データを少なくとも注目教師データに対応するブロック以外のブロックから抽出し、クラスタップとし、そのクラスタップに基づいて、注目教師データのクラスを求めるクラス分類を行う。そして、クラスごとのタップ係数及び生徒データを用いて予測演算を行うことにより得られる教師データの予測値の予測誤差が統計的に最小になるように学習を行い、タップ係数をクラスごとに求める。このようにして求めたタップ係数を用いることにより効率的に直交変換又は周波数変換されたデータから所望のデータを求めることが可能となる。

さらに、本発明の他の実施の形態について説明する。

次に説明する実施の形態では、上述の図2に示したデコーダ22として図78に示すようにエントロピー復号回路831、係数変換回路832及びブロック分解回路833からなるデコーダ822を用いて符号化データを復号する。

符号化データは、エントロピー復号回路831に供給されるようになっている。

エントロピー復号回路 831 は、符号化データをエントロピー復号して、その結果得られるブロックごとの量子化 DCT 係数 Q を係数変換回路 832 に供給する。なお、符号化データには、エントロピー符号化された量子化 DCT 係数の他、量子化テーブルも含まれるが、量子化テーブルは、必要に応じて、量子化 DCT 係数の復号に用いることが可能である。

係数変換回路 832 は、エントロピー復号回路 831 からの量子化 DCT 係数 Q と、学習を行うことにより求められるタップ係数を用いて、所定の予測演算を行うことにより、ブロックごとの量子化 DCT 係数を 8×8 画素の元のブロックに復号する。

ブロック分解回路 833 は、係数変換回路 832 において得られる、復号されたブロック（復号ブロック）のブロック化を解くことで、復号画像を得て出力する。

次に、図 79 のフローチャートを参照して、図 78 のデコーダ 822 の処理について説明する。

符号化データは、エントロピー復号回路 831 に順次供給され、ステップ S401 において、エントロピー復号回路 831 は、符号化データをエントロピー復号し、ブロックごとの量子化 DCT 係数 Q を係数変換回路 832 に供給する。係数変換回路 832 は、ステップ S402 において、タップ係数を用いた予測演算を行うことにより、エントロピー復号回路 831 からのブロックごとの量子化 DCT 係数 Q をブロックごとの画素値に復号し、ブロック分解回路 833 に供給する。ブロック分解回路 833 は、ステップ S403 において、係数変換回路 832 からの画素値のブロック（復号ブロック）のブロック化を解くブロック分解を行い、その結果得られる復号画像を出力して、処理を終了する。

この図 78 の係数変換回路 832 では、クラス分類適応処理を利用して、量子化 DCT 係数を画素値に復号する。

図 80 は、クラス分類適応処理により、量子化 DCT 係数を画素値に復号する図 78 の係数変換回路 832 の構成例を示している。

この図 80 に示す係数変換回路 832 A において、エントロピー復号回路 831（図 78）が出力するブロックごとの量子化 DCT 係数は、予測タップ抽出回

路 8 4 1 及びクラスタップ抽出回路 8 4 2 に供給されるようになっている。

予測タップ抽出回路 8 4 1 は、そこに供給される量子化 D C T 係数のブロック（以下、適宜、D C T ブロックという）に対応する画素値のブロック（この画素値のブロックは、現段階では存在しないが、仮想的に想定される）（以下、適宜、画素ブロックという）を順次注目画素ブロックとし、さらに、その注目画素ブロックを構成する各画素を例えばいわゆるラスタスキャン順に順次注目画素とする。さらに、予測タップ抽出回路 8 4 1 は、パターンテーブル記憶部 8 4 6 のパターンテーブルを参照することで、注目画素の画素値を予測するのに用いる量子化 D C T 係数を抽出し、予測タップとする。

すなわち、パターンテーブル記憶部 8 4 6 は、注目画素についての予測タップとして抽出する量子化 D C T 係数の注目画素に対する位置関係を表したパターン情報が登録されているパターンテーブルを記憶しており、予測タップ抽出回路 8 4 1 は、そのパターン情報に基づいて、量子化 D C T 係数を抽出し、注目画素についての予測タップを構成する。

予測タップ抽出回路 8 4 1 は、 8×8 の 64 画素でなる画素ブロックを構成する各画素についての予測タップ、すなわち、64 画素それぞれについての 64 セットの予測タップを上述のようにして構成し、積和演算回路 8 4 5 に供給する。

クラスタップ抽出回路 8 4 2 は、注目画素を幾つかのクラスのうちの一つに分類するためのクラス分類に用いる量子化 D C T 係数を抽出して、クラスタップとする。

なお、J P E G 符号化では、画像が画素ブロックごとに符号化（D C T 処理及び量子化）されることから、ある画素ブロックに属する画素は、例えば、すべて同一のクラスにクラス分類することとする。したがって、クラスタップ抽出回路 8 4 2 は、ある画素ブロックの各画素については、同一のクラスタップを構成する。すなわち、クラスタップ抽出回路 8 4 2 は、例えば、上述の図 6 に示したように注目画素が属する画素ブロックに対応する D C T ブロックのすべての量子化 D C T 係数すなわち 8×8 の 64 個の量子化 D C T 係数をクラスタップとして抽出する。ただし、クラスタップは、注目画素ごとに、異なる量子化 D C T 係数で構成することが可能である。

ここで、画素ブロックに属する各画素をすべて同一のクラスにクラス分類することは、その画素ブロックをクラス分類することと等価である。したがって、クラスタップ抽出回路842には、注目画素ブロックを構成する64画素それぞれをクラス分類するための64セットのクラスタップではなく、注目画素ブロックをクラス分類するための1セットのクラスタップを構成させれば良く、このため、クラスタップ抽出回路842は、画素ブロックごとに、その画素ブロックをクラス分類するために、その画素ブロックに対応するDCTブロックの64個の量子化DCT係数を抽出して、クラスタップとするようになっている。

なお、クラスタップを構成する量子化DCT係数は、上述したパターンのものに限定されるものではない。

クラスタップ抽出回路842において得られる、注目画素ブロックのクラスタップは、クラス分類回路843に供給されるようになっている。クラス分類回路843は、クラスタップ抽出回路842からのクラスタップに基づき、注目画素ブロックをクラス分類し、その結果得られるクラスに対応するクラスコードを出力する。

ここで、クラス分類を行う方法としては、例えば、ADRC等を採用することができる。

ADRCを用いる方法では、クラスタップを構成する量子化DCT係数がADRC処理され、その結果得られるADRCコードにしたがって、注目画素ブロックのクラスが決定される。

このクラス分類回路843においては、クラスタップの情報量を上述のADRC処理やあるいはベクトル量子化等によって圧縮してから、クラス分類を行うのが好ましい。

そこで、本実施の形態では、クラス分類回路843において、クラスタップを構成する量子化DCT係数から、重要性の高い特徴量を抽出し、その特徴量に基づいてクラス分類を行うことで、クラス数を低減するようになっている。

すなわち、図81は、図80のクラス分類回路843の構成例を示している。

クラスタップは、電力演算回路851に供給されるようになっている。電力演算回路851は、クラスタップを構成する量子化DCT係数を幾つかの空間周波

数帯域のものに分け、各周波数帯域の電力を演算する。

すなわち、電力演算回路 851 は、クラスタップを構成する 8×8 個の量子化 DCT 係数を上述の図 6 に示したような 4 つの空間周波数帯域 S_0 , S_1 , S_2 , S_3 に分割する。ここで、空間周波数帯域 S_0 は、4 個の量子化 DCT 係数 x_0 , x_1 , x_8 , x_9 から構成され、空間周波数帯域 S_1 は、12 個の量子化 DCT 係数 x_2 , x_3 , x_4 , x_5 , x_6 , x_7 , x_{10} , x_{11} , x_{12} , x_{13} , x_{14} , x_{15} から構成される。また、空間周波数帯域 S_2 は、12 個の量子化 DCT 係数 x_{16} , x_{17} , x_{24} , x_{25} , x_{32} , x_{33} , x_{40} , x_{41} , x_{48} , x_{49} , x_{56} , x_{57} から構成され、空間周波数帯域 S_3 は、36 個の量子化 DCT 係数 x_{18} , x_{19} , x_{20} , x_{21} , x_{22} , x_{23} , x_{26} , x_{27} , x_{28} , x_{29} , x_{30} , x_{31} , x_{34} , x_{35} , x_{36} , x_{37} , x_{38} , x_{39} , x_{42} , x_{43} , x_{44} , x_{45} , x_{46} , x_{47} , x_{50} , x_{51} , x_{52} , x_{53} , x_{54} , x_{55} , x_{58} , x_{59} , x_{60} , x_{61} , x_{62} , x_{63} から構成される。

さらに、電力演算回路 851 は、空間周波数帯域 S_0 , S_1 , S_2 , S_3 それぞれについて、量子化 DCT 係数の AC 成分の電力 P_0 , P_1 , P_2 , P_3 を演算し、クラスコード生成回路 852 に出力する。

すなわち、電力演算回路 851 は、空間周波数帯域 S_0 については、上述の 4 個の量子化 DCT 係数 x_0 , x_1 , x_8 , x_9 のうちの AC 成分 x_1 , x_8 , x_9 の 2 乗和 $x_1^2 + x_8^2 + x_9^2$ を求め、これを電力 P_0 としてクラスコード生成回路 852 に出力する。また、電力演算回路 851 は、空間周波数帯域 S_1 についての上述の 12 個の量子化 DCT 係数の AC 成分、すなわち、12 個すべての量子化 DCT 係数の 2 乗和を求め、これを電力 P_1 としてクラスコード生成回路 852 に出力する。さらに、電力演算回路 851 は、空間周波数帯域 S_2 と空間周波数帯域 S_3 についても、空間周波数帯域 S_1 における場合と同様にして、それぞれの電力 P_2 と電力 P_3 を求め、クラスコード生成回路 852 に出力する。

クラスコード生成回路 852 は、電力演算回路 851 からの電力 P_0 , P_1 , P_2 , P_3 を閾値テーブル記憶部 853 に記憶された対応する閾値 TH_0 , TH_1 , TH_2 , TH_3 とそれぞれ比較し、それぞれの大小関係に基づいて、クラスコードを出力する。すなわち、クラスコード生成回路 852 は、電力 P_0 と閾値 TH_0 とを比較し、その大小関係を表す 1 ビットのコードを得る。同様に、クラスコード生

成回路852は、電力 P_1 と閾値 TH_1 、電力 P_2 と閾値 TH_2 、電力 P_3 と閾値 TH_3 をそれぞれ比較することにより、それぞれについて、1ビットのコードを得る。そして、クラスコード生成回路852は、以上のようにして得られる4つの1ビットのコードを例えば所定の順番で並べることにより得られる4ビットのコード（したがって、0～15のうちのいずれかの値）を注目画素ブロックのクラスを表すクラスコードとして出力する。したがって、本実施の形態では、注目画素ブロックは、 $2^4 (= 16)$ 個のクラスのうちのいずれかにクラス分類されることになる。

閾値テーブル記憶部853は、空間周波数帯域 $S_0 \sim S_3$ の電力 $P_0 \sim P_3$ とそれぞれ比較する閾値 $TH_0 \sim TH_3$ を記憶している。

なお、上述の場合には、クラス分類処理に、量子化DCT係数のDC成分 x_0 が用いられないが、このDC成分 x_0 をも用いてクラス分類処理を行うことも可能である。

図80に戻り、以上のようなクラス分類回路843が出力するクラスコードは、係数テーブル記憶部844及びパターンテーブル記憶部846に、アドレスとして与えられる。

係数テーブル記憶部844は、後述するようなタップ係数の学習処理が行われることにより得られるタップ係数が登録された係数テーブルを記憶しており、クラス分類回路843が出力するクラスコードに対応するアドレスに記憶されているタップ係数を積和演算回路845に出力する。

ここで、本実施の形態では、画素ブロックがクラス分類されるから、注目画素ブロックについて、1つのクラスコードが得られる。一方、画素ブロックは、本実施の形態では、 8×8 画素の64画素で構成されるから、注目画素ブロックについて、それを構成する64画素それぞれを復号するための64セットのタップ係数が必要である。したがって、係数テーブル記憶部844には、1つのクラスコードに対応するアドレスに対して、64セットのタップ係数が記憶されている。

積和演算回路845は、予測タップ抽出回路841が出力する予測タップと、係数テーブル記憶部844が出力するタップ係数とを取得し、その予測タップとタップ係数とを用いて、上述の式(1)に示した線形予測演算（積和演算）を行

い、その結果得られる注目画素ブロックの 8×8 画素の画素値を対応するDCTブロックの復号結果としてブロック分解回路833（図78）に出力する。

ここで、予測タップ抽出回路841においては、上述したように、注目画素ブロックの各画素が順次注目画素とされるが、積和演算回路845は、注目画素ブロックの注目画素となっている画素の位置に対応した動作モード（以下、適宜、画素位置モードという）となって処理を行う。

すなわち、例えば、注目画素ブロックの画素のうちラスタスキャン順で i 番目の画素を p_i と表し、画素 p_i が注目画素となっている場合、積和演算回路845は、画素位置モード $\#i$ の処理を行う。

具体的には、上述したように、係数テーブル記憶部844は、注目画素ブロックを構成する64画素それぞれを復号するための64セットのタップ係数を出力するが、そのうちの画素 p_i を復号するためのタップ係数のセットを W_i と表すと、積和演算回路845は、動作モードが画素位置モード $\#i$ のときには、予測タップと64セットのタップ係数のうちのセット W_i とを用いて、上述の式（1）の積和演算を行い、その積和演算結果を画素 p_i の復号結果とする。

パターンテーブル記憶部846は、後述するような量子化DCT係数の抽出パターンを表すパターン情報の学習処理が行われることにより得られるパターン情報が登録されたパターンテーブルを記憶しており、クラス分類回路843が出力するクラスコードに対応するアドレスに記憶されているパターン情報を予測タップ抽出回路841に出力する。

ここで、パターンテーブル記憶部846においても、係数テーブル記憶部844について説明したのと同様の理由から、1つのクラスコードに対応するアドレスに対して、64セットのパターン情報（各画素位置モードごとのパターン情報）が記憶されている。

次に、図82のフローチャートを参照して、図80の係数変換回路832Aの処理について説明する。

エントロピー復号回路831が出力するブロックごとの量子化DCT係数は、予測タップ抽出回路841及びクラスタップ抽出回路842において順次受信され、予測タップ抽出回路841は、そこに供給される量子化DCT係数のブロッ

ク(DCTブロック)に対応する画素ブロックを順次注目画素ブロックとする。

そして、クラスタップ抽出回路842は、ステップS411において、そこで受信した量子化DCT係数の中から、注目画素ブロックをクラス分類するのに用いるものを抽出して、クラスタップを構成し、クラス分類回路843に供給する。

クラス分類回路843は、ステップS412において、クラスタップ抽出回路842からのクラスタップを用いて、注目画素ブロックをクラス分類し、その結果得られるクラスコードを係数テーブル記憶部844及びパターンテーブル記憶部846に出力する。

すなわち、ステップS412では、図83のフローチャートに示すように、まず最初に、ステップS421において、クラス分類回路843(図81)の電力演算回路851が、クラスタップを構成する 8×8 個の量子化DCT係数を上述の図6に示した4つの空間周波数帯域 $S_0 \sim S_3$ に分割し、それぞれの電力 $P_0 \sim P_3$ を演算する。この電力 $P_0 \sim P_3$ は、電力演算回路851からクラスコード生成回路852に出力される。

クラスコード生成回路852は、ステップS422において、閾値テーブル記憶部853から閾値 $TH_0 \sim TH_3$ を読み出し、電力演算回路851からの電力 $P_0 \sim P_3$ それぞれと、閾値 $TH_0 \sim TH_3$ それぞれとを比較し、それぞれの大小関係に基づいたクラスコードを生成して、リターンする。

図82に戻り、ステップS412において以上のようにして得られるクラスコードは、クラス分類回路843から係数テーブル記憶部844及びパターンテーブル記憶部846に対して、アドレスとして与えられる。

係数テーブル記憶部844は、クラス分類回路843からのアドレスとしてのクラスコードを受信すると、ステップS413において、そのアドレスに記憶されている64セットのタップ係数を読み出し、積和演算回路845に出力する。また、パターンテーブル記憶部846も、クラス分類回路843からのアドレスとしてのクラスコードを受信すると、ステップS413において、そのアドレスに記憶されている64セットのパターン情報を読み出し、予測タップ抽出回路841に出力する。

そして、ステップS414に進み、予測タップ抽出回路841は、注目画素ブ

ロックの画素のうち、ラストスキャン順で、まだ、注目画素とされていない画素を注目画素として、その注目画素の画素位置モードに対応するパターン情報にしたがって、その注目画素の画素値を予測するのに用いる量子化DCT係数を抽出し、予測タップとして構成する。この予測タップは、予測タップ抽出回路841から積和演算回路845に供給される。

積和演算回路845は、ステップS415において、ステップS413で係数テーブル記憶部844が出力する64セットのタップ係数のうち、注目画素に対する画素位置モードに対応するタップ係数のセットを取得し、そのタップ係数のセットと、ステップS414で予測タップ抽出回路841から供給された予測タップとを用いて、上述の式(1)に示した積和演算を行い、注目画素の画素値の復号値を得る。

そして、ステップS416に進み、予測タップ抽出回路841は、注目画素ブロックのすべての画素を注目画素として、処理を行ったかどうかを判定する。ステップS416において、注目画素ブロックのすべての画素を注目画素として、まだ処理を行っていないと判定された場合、ステップS414に戻り、予測タップ抽出回路841は、注目画素ブロックの画素のうち、ラストスキャン順で、まだ、注目画素とされていない画素を新たに注目画素として、以下、同様の処理を繰り返す。

また、ステップS416において、注目画素ブロックのすべての画素を注目画素として、処理を行ったと判定された場合、すなわち、注目画素ブロックのすべての画素の復号値が得られた場合、積和演算回路845は、その復号値で構成される画素ブロック（復号ブロック）をブロック分解回路833（図78）に出力し、処理を終了する。

なお、図82のフローチャートにしたがった処理は、予測タップ抽出回路841が新たな注目画素ブロックを設定することに繰り返し行われる。

次に、図84は、図80の係数テーブル記憶部844に記憶させるタップ係数の学習処理を行うタップ係数学習装置860Aの構成例を示している。

ブロック化回路861には、1枚以上の学習用の画像データが学習時の教師となる教師データとして供給されるようになっている。ブロック化回路861は、

2/91

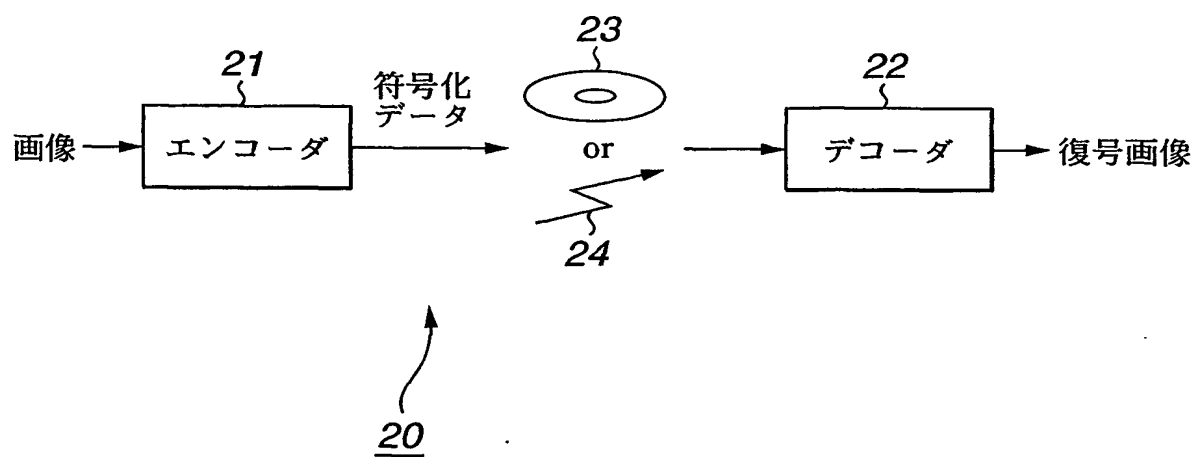


FIG.2

3/91

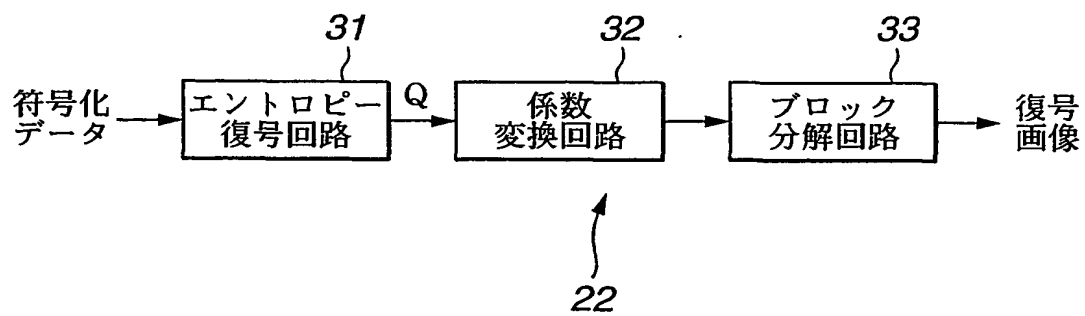


FIG.3

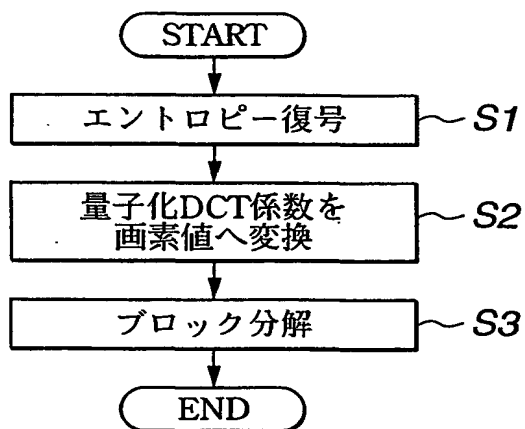


FIG.4

4/91

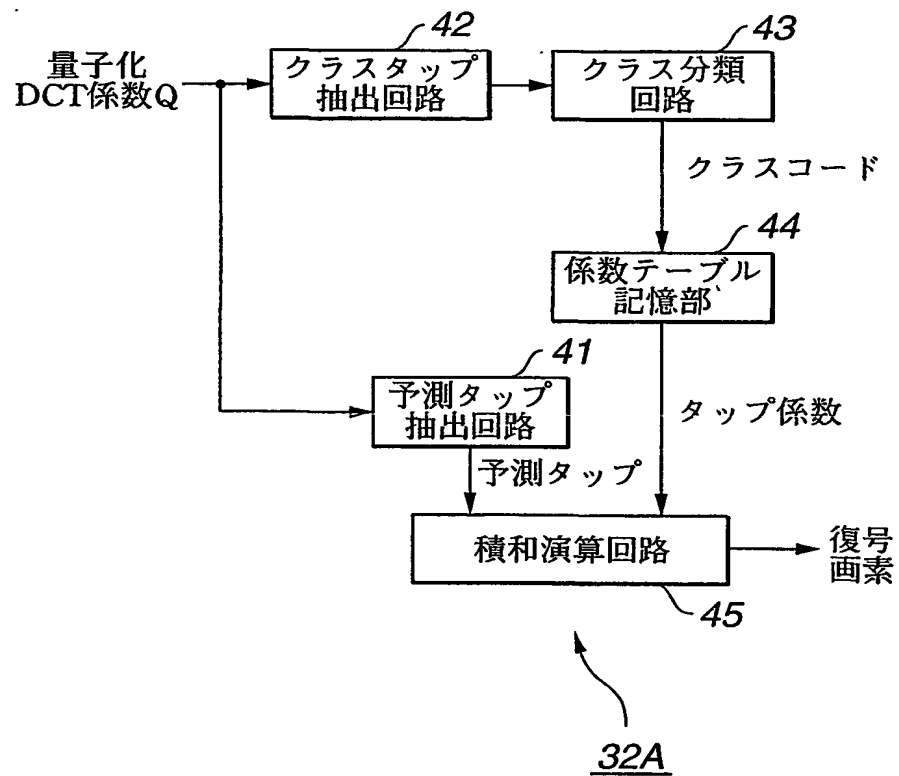


FIG.5

5/91

水平高域
→

0	1	2	3	4	5	6	7
8	9	10	11	12	13	14	15
16	17	18	19	20	21	22	23
24	25	26	27	28	29	30	31
32	33	34	35	36	37	38	39
40	41	42	43	44	45	46	47
48	49	50	51	52	53	54	55
56	57	58	59	60	61	62	63

↓ 垂直高域

FIG.6

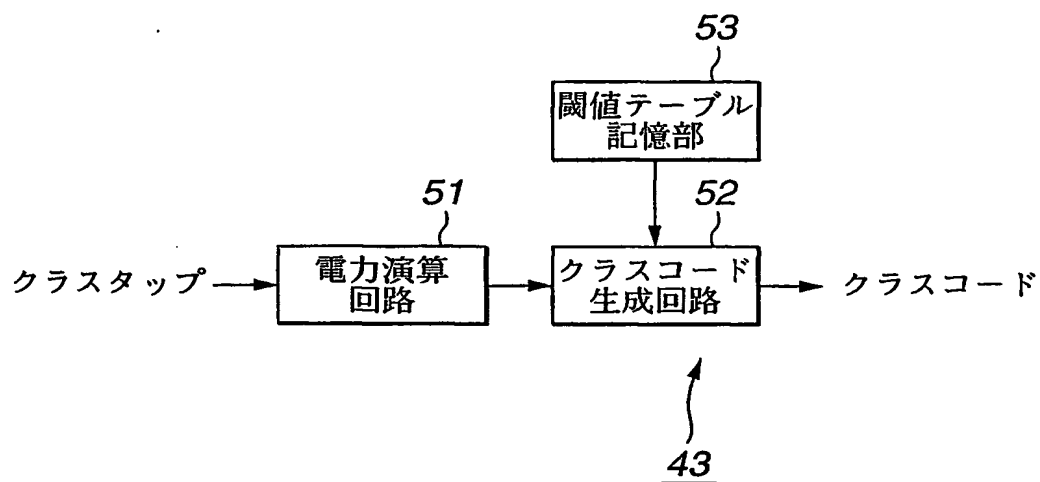


FIG.7

6/91

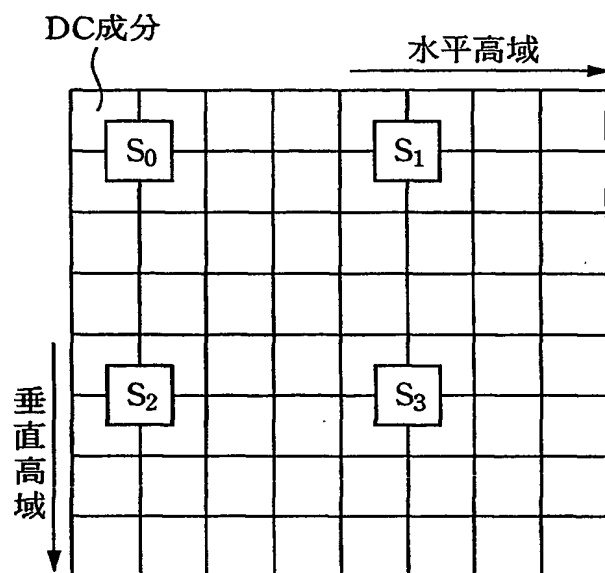
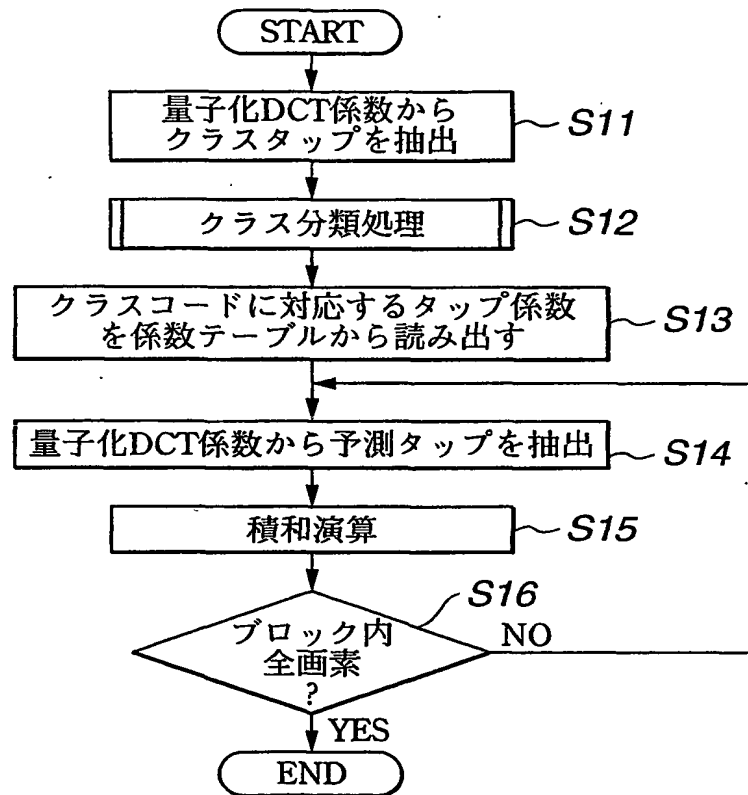


FIG.8

7/91

**FIG.9**

8/91

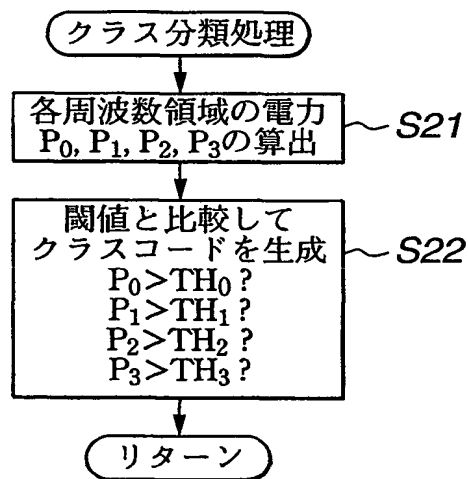


FIG.10

9/91

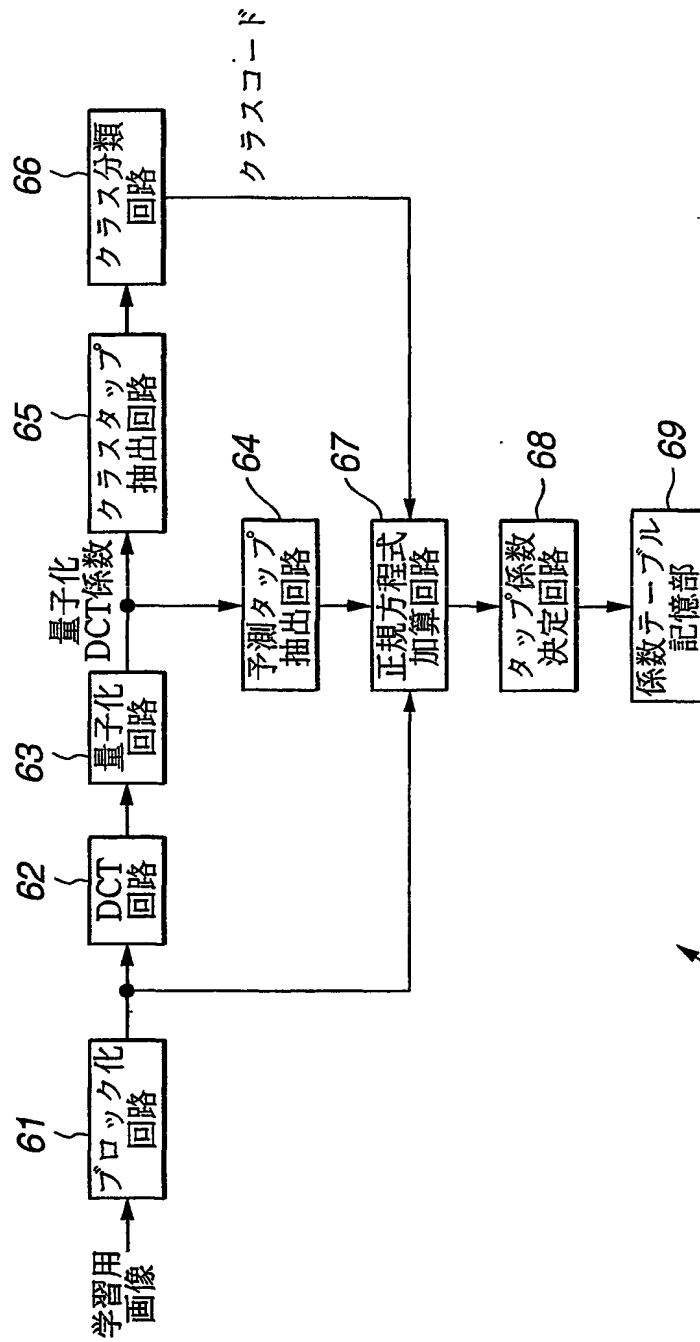


FIG.11

60A

10/91

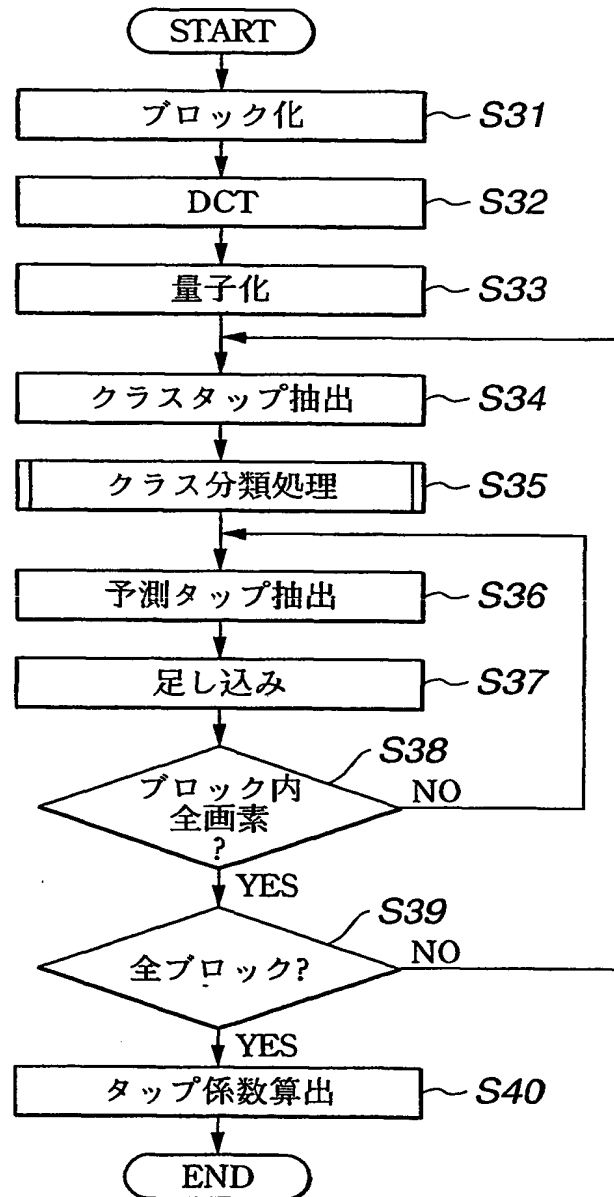


FIG.12

11/91

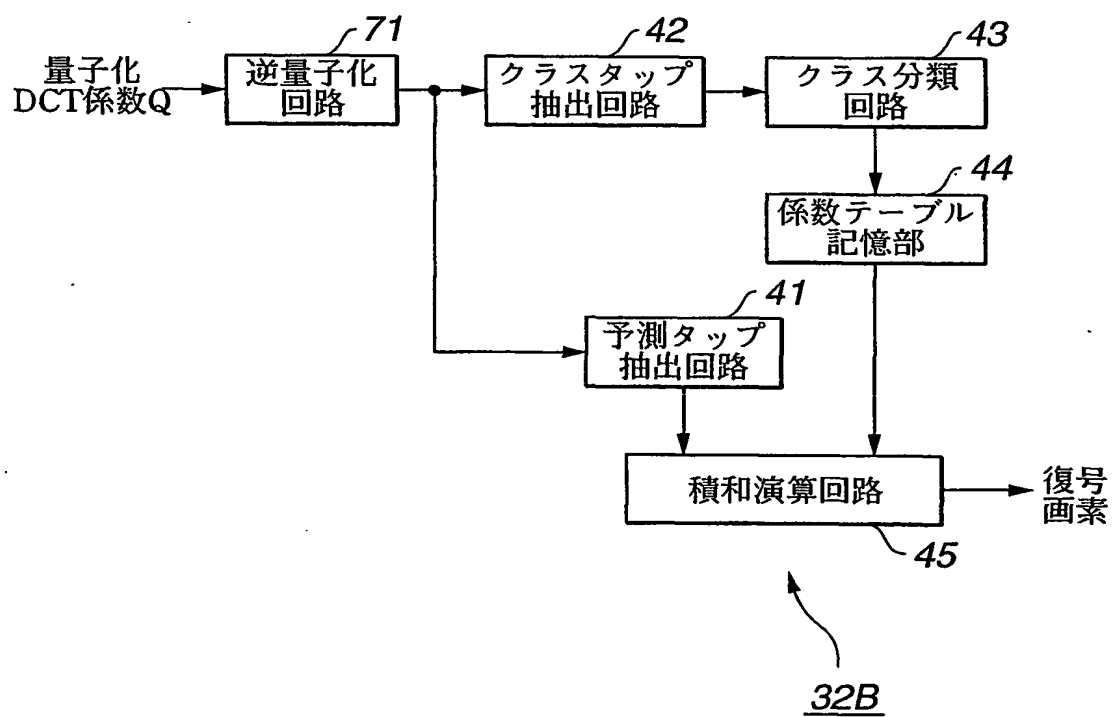


FIG.13

12/91

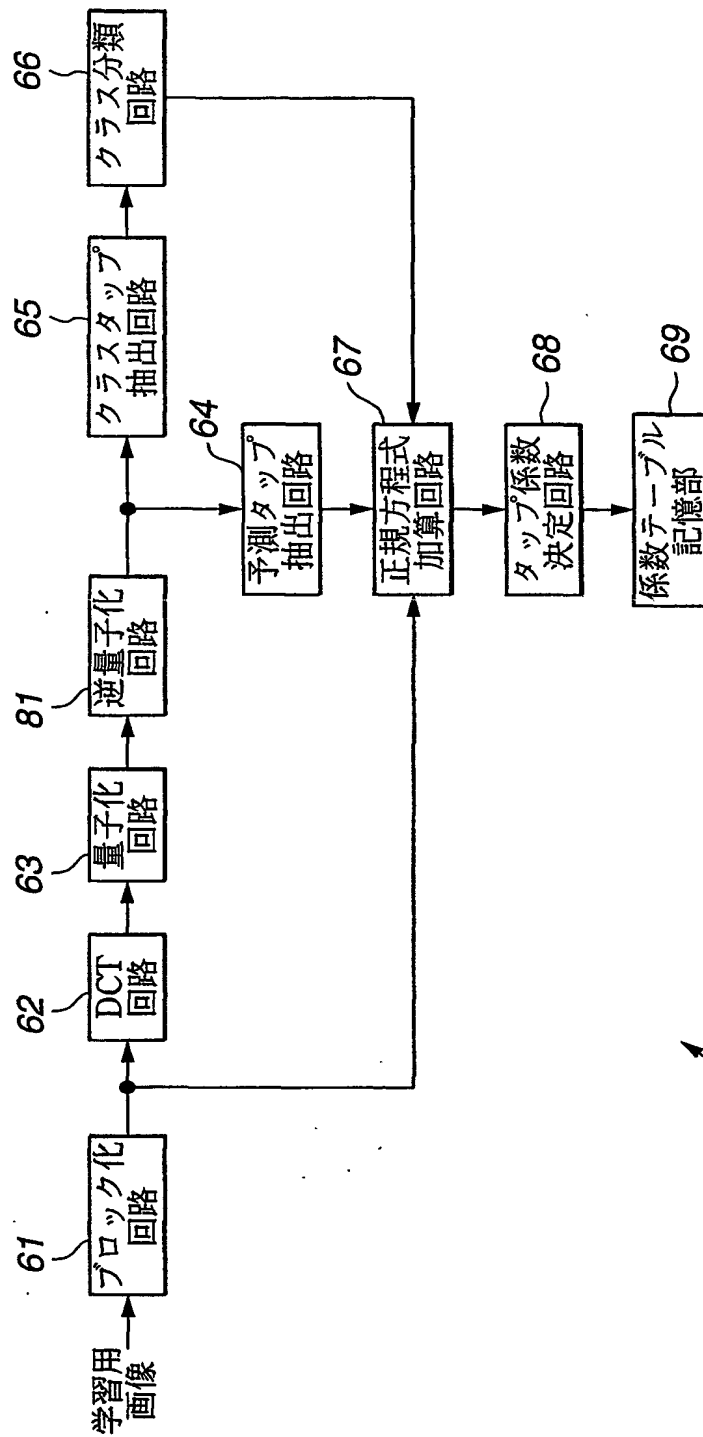


FIG.14

60B

13/91

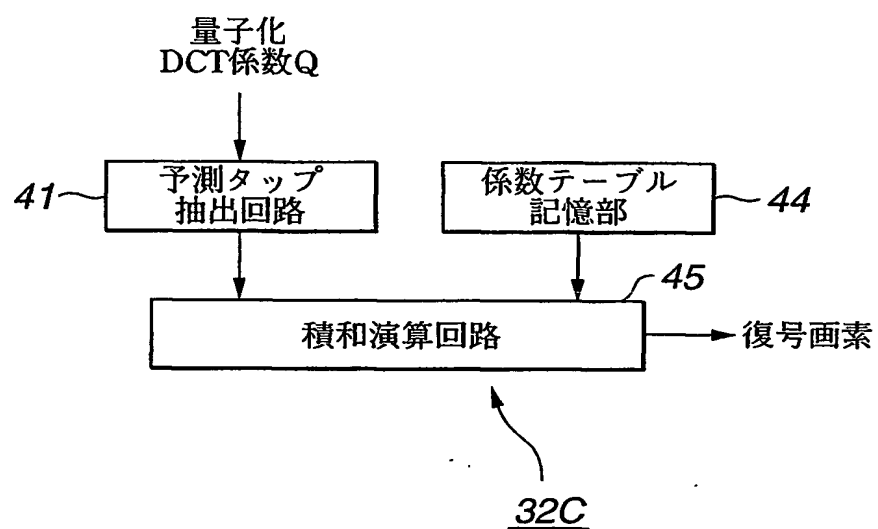


FIG.15

14/91

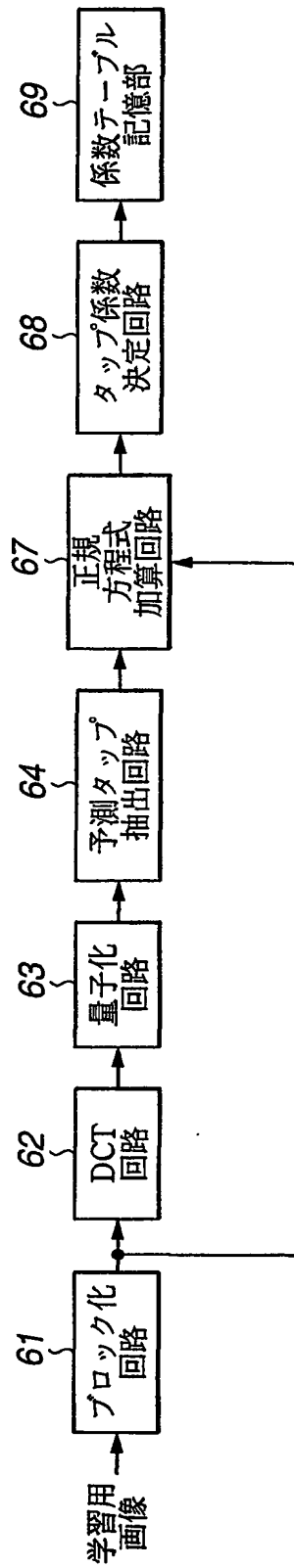


FIG.16

15/91

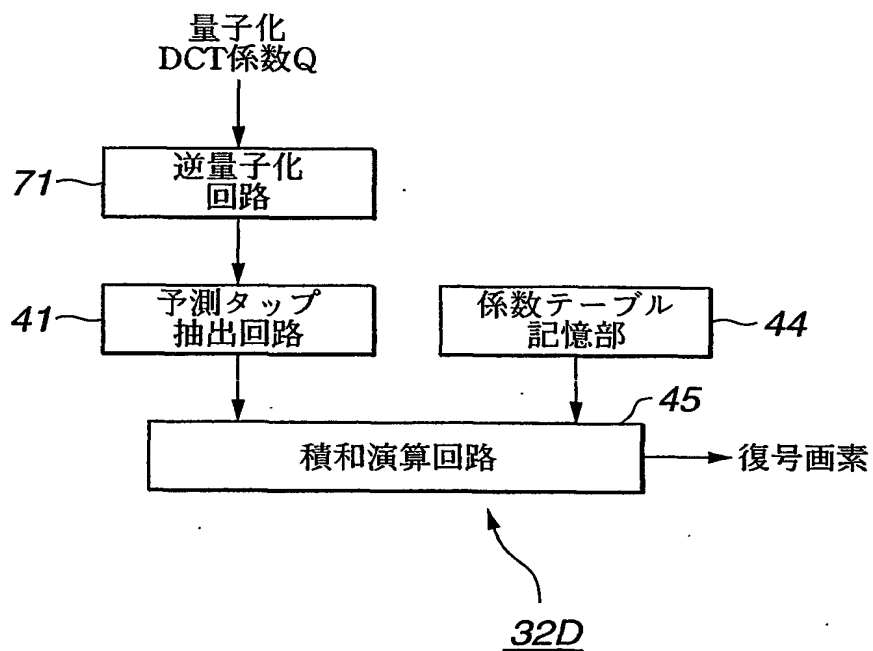


FIG.17

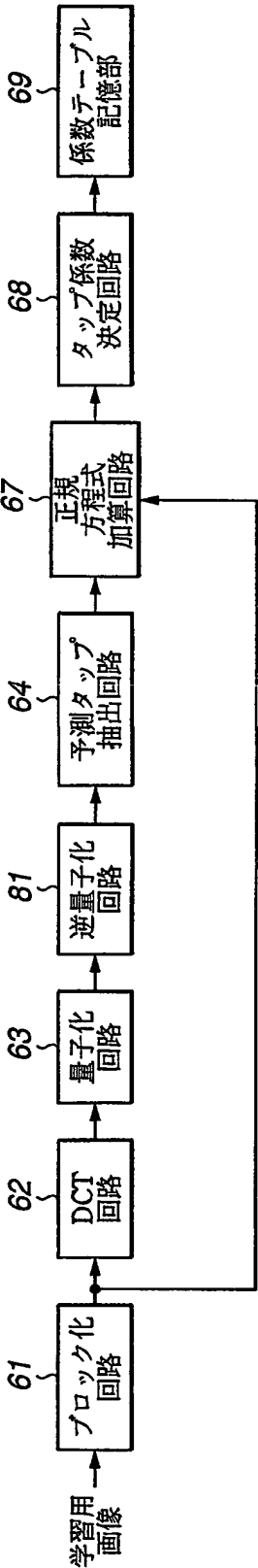


FIG.18

17/91

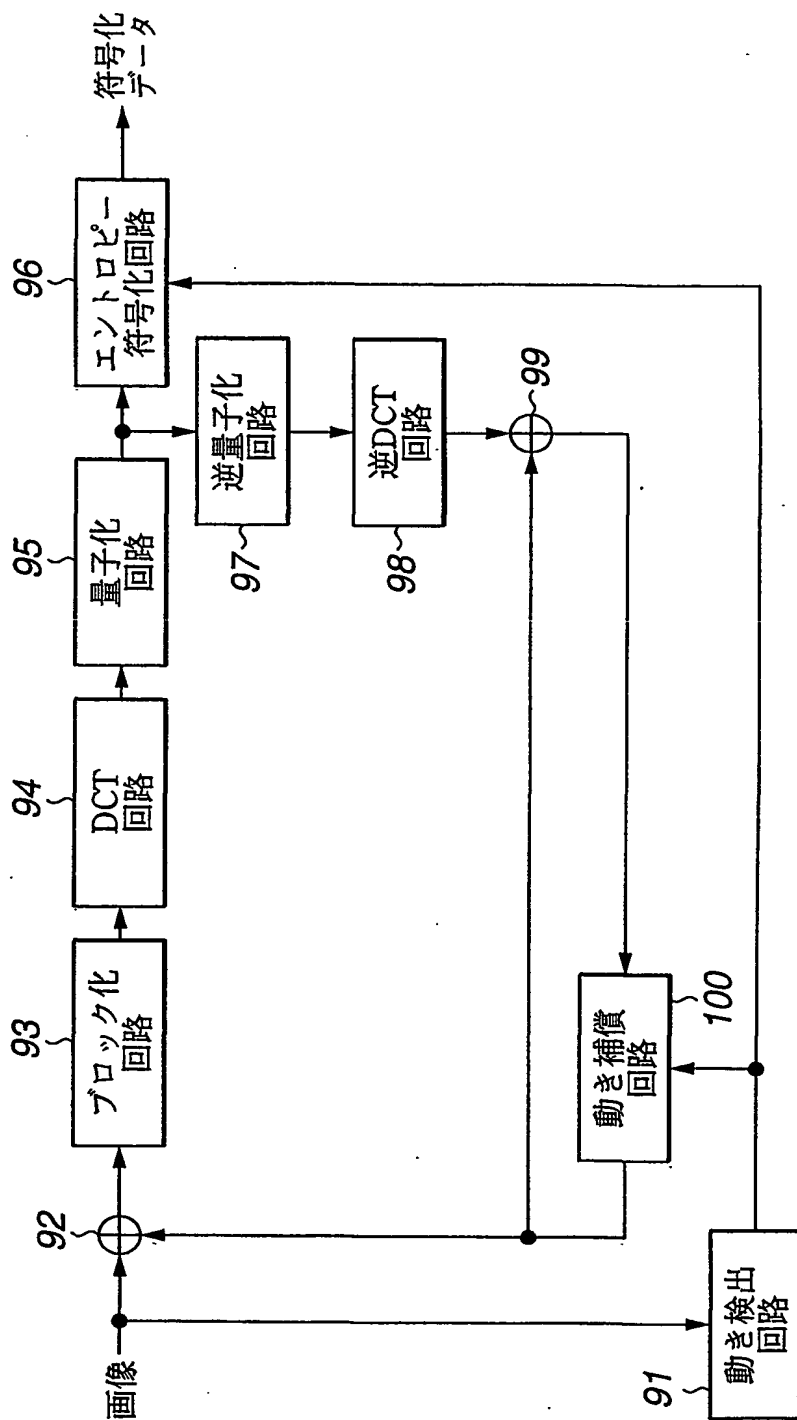


FIG.19

18/91

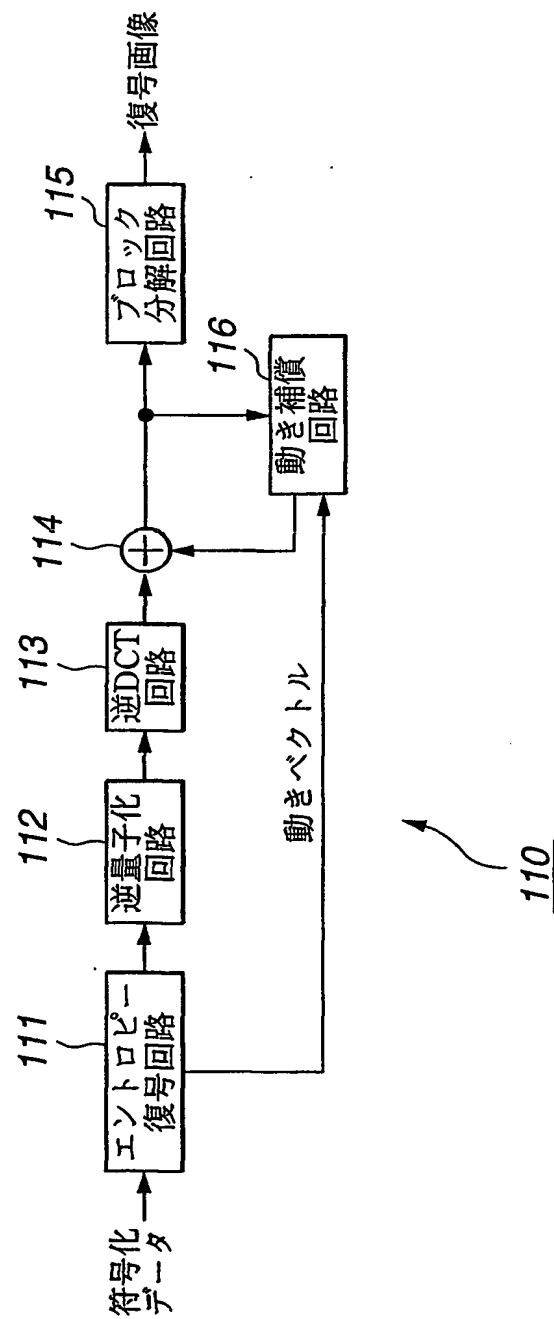


FIG.20

19/91

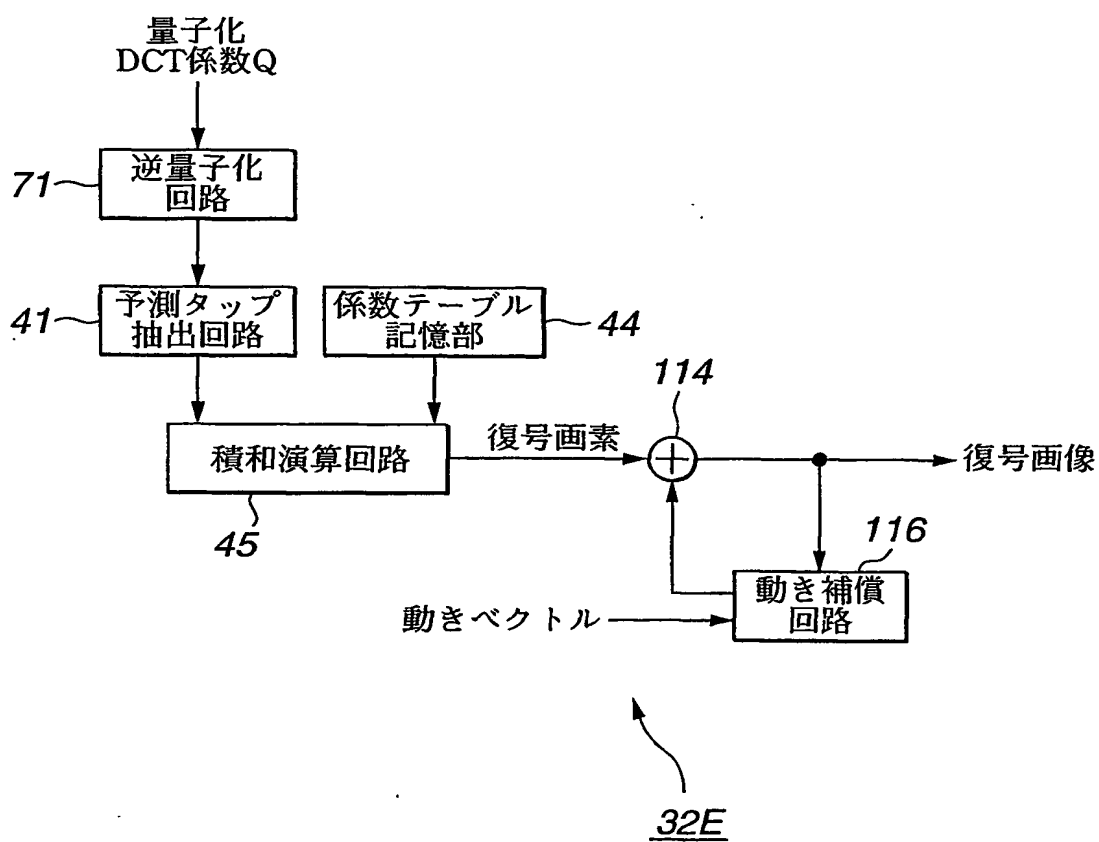


FIG.21

20/91

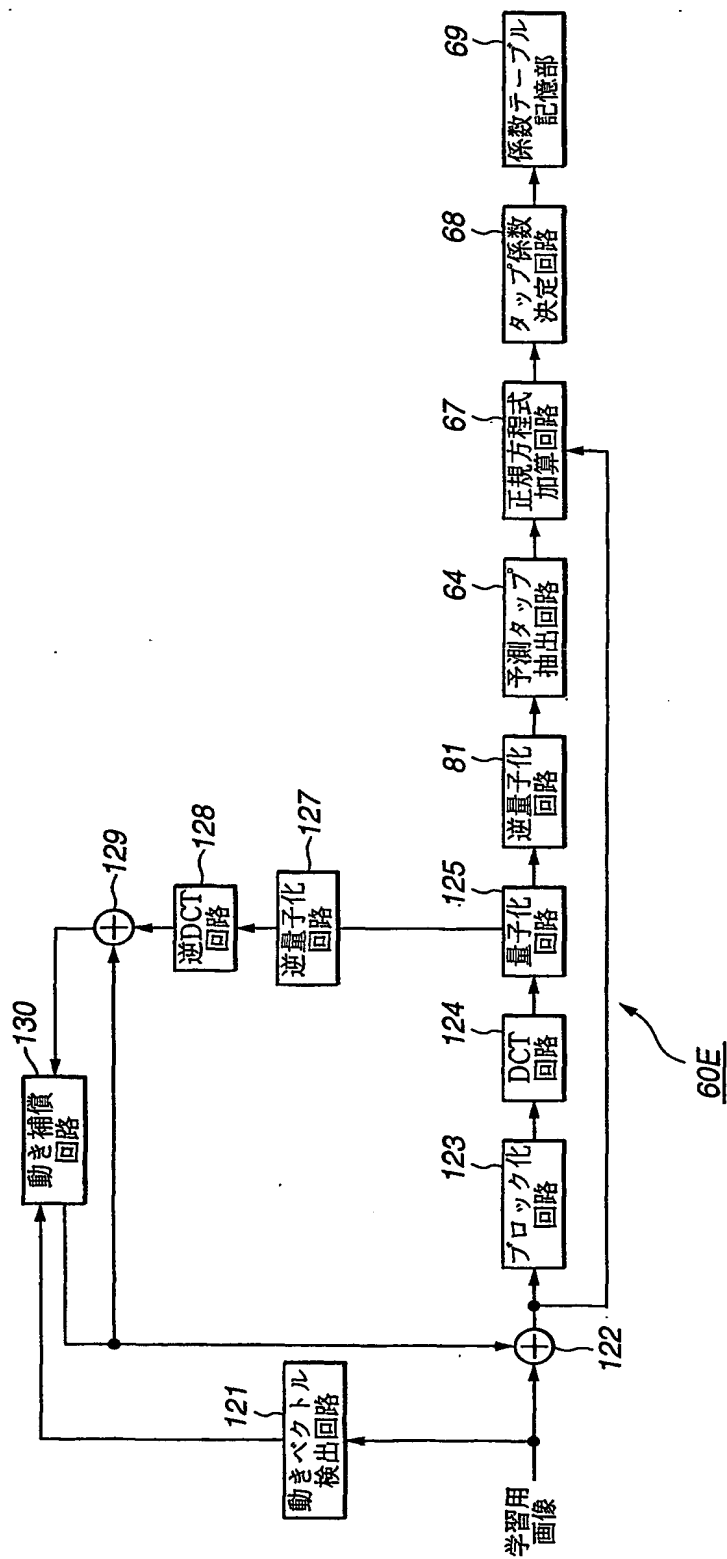


FIG.22

21/91

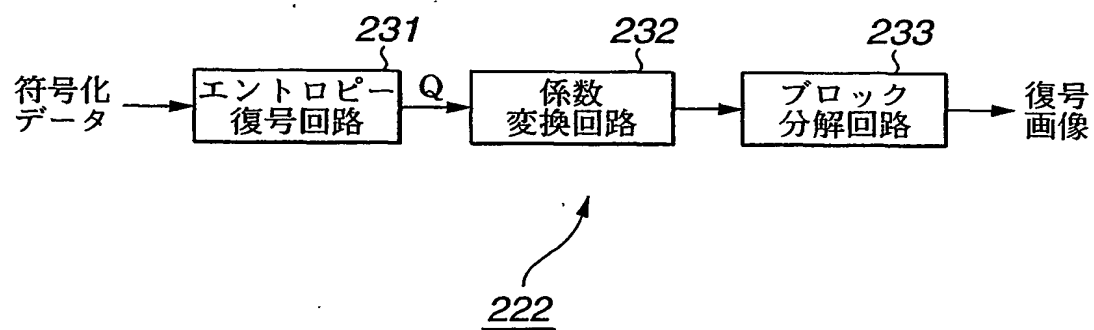


FIG.23

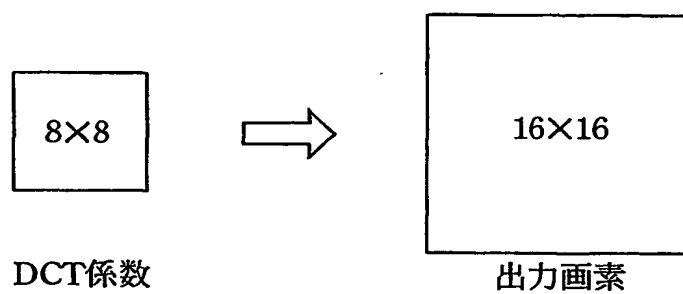


FIG.24

22/91

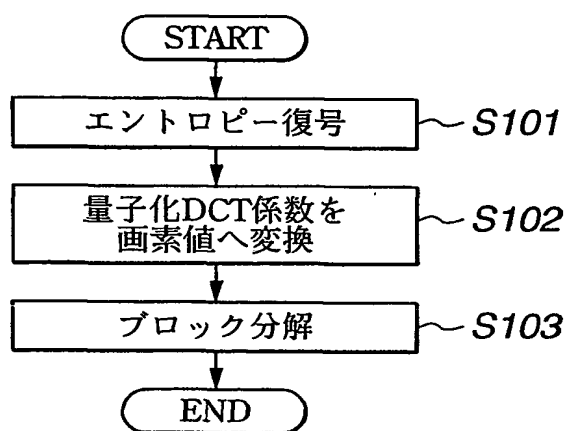


FIG.25

23/91

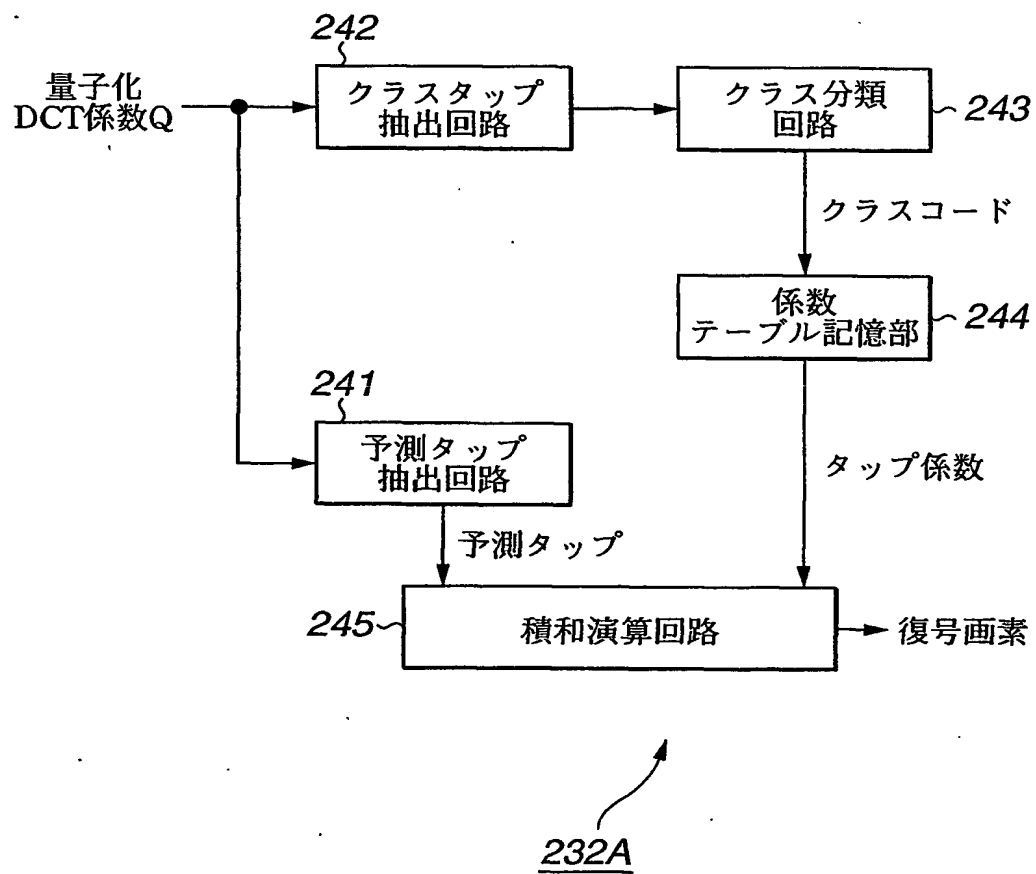


FIG.26

24/91

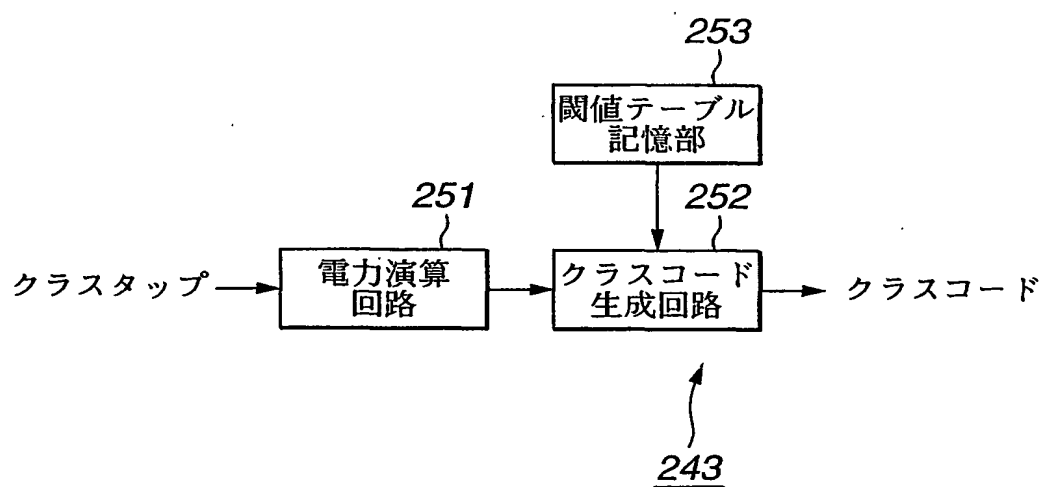


FIG.27

25/91

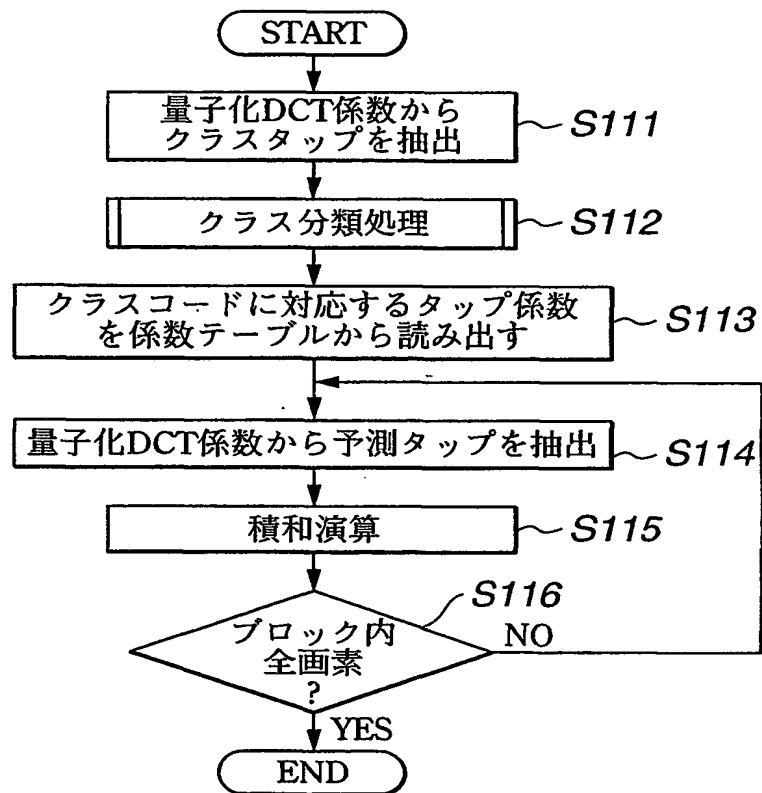


FIG.28

26/91

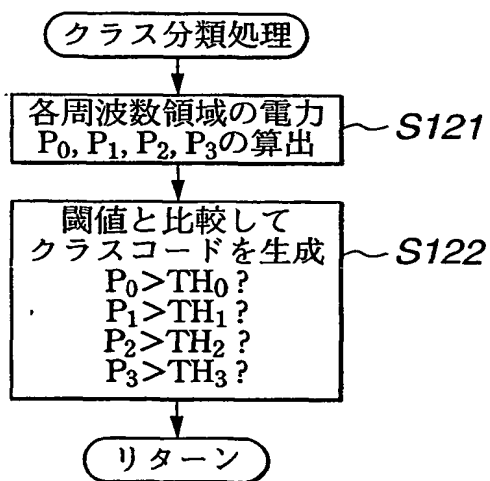


FIG.29

27/91

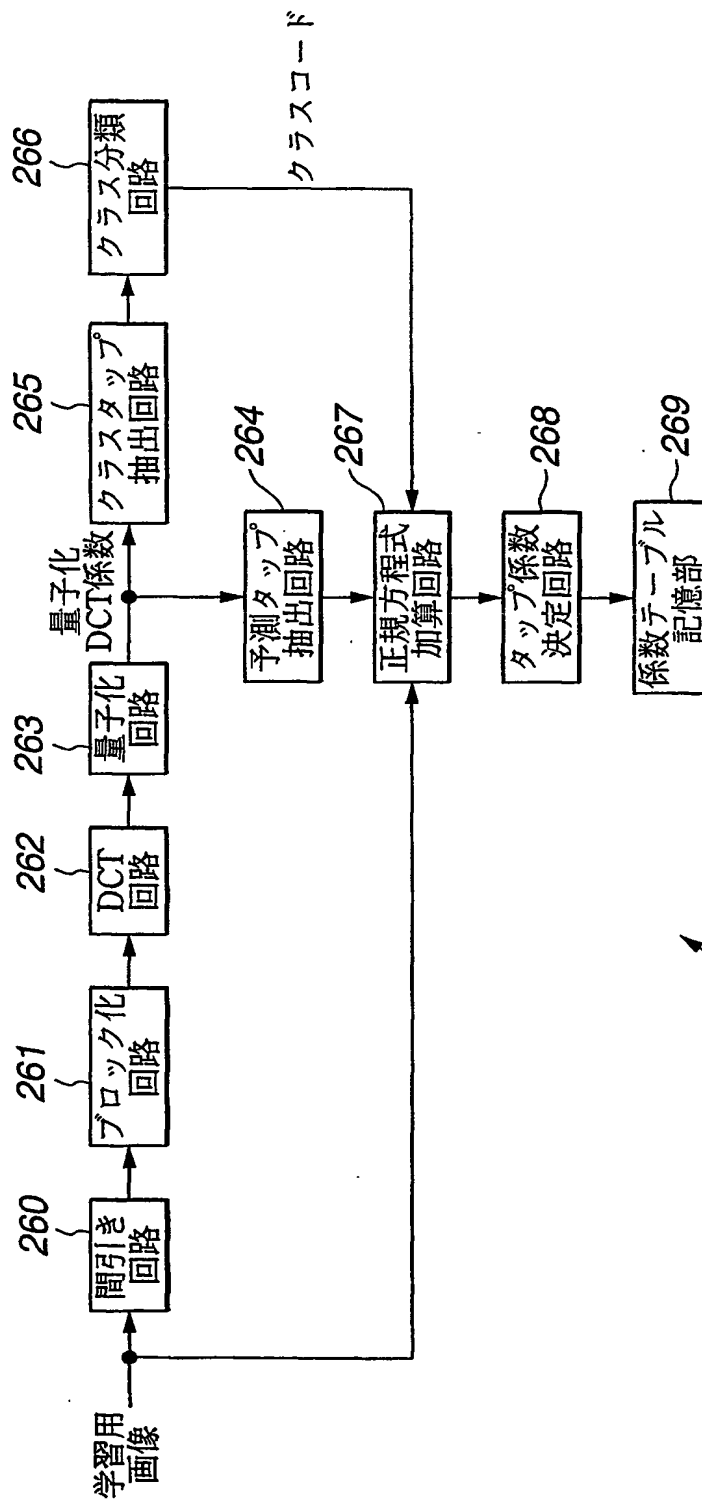


FIG.30

270A

28/91

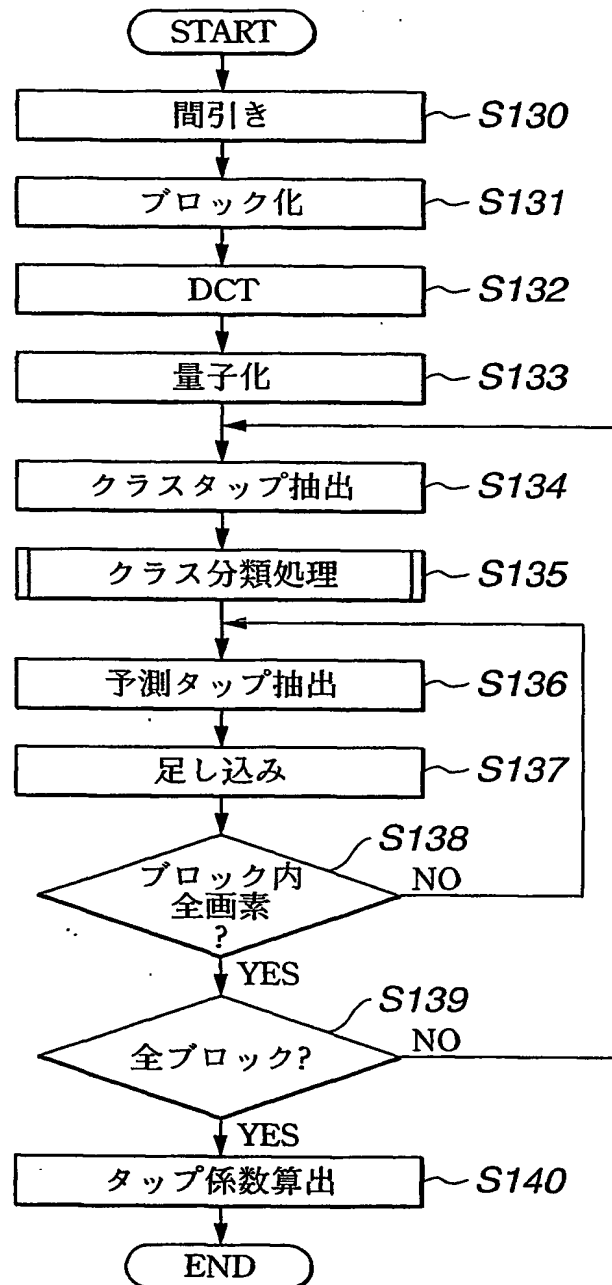


FIG.31

29/91

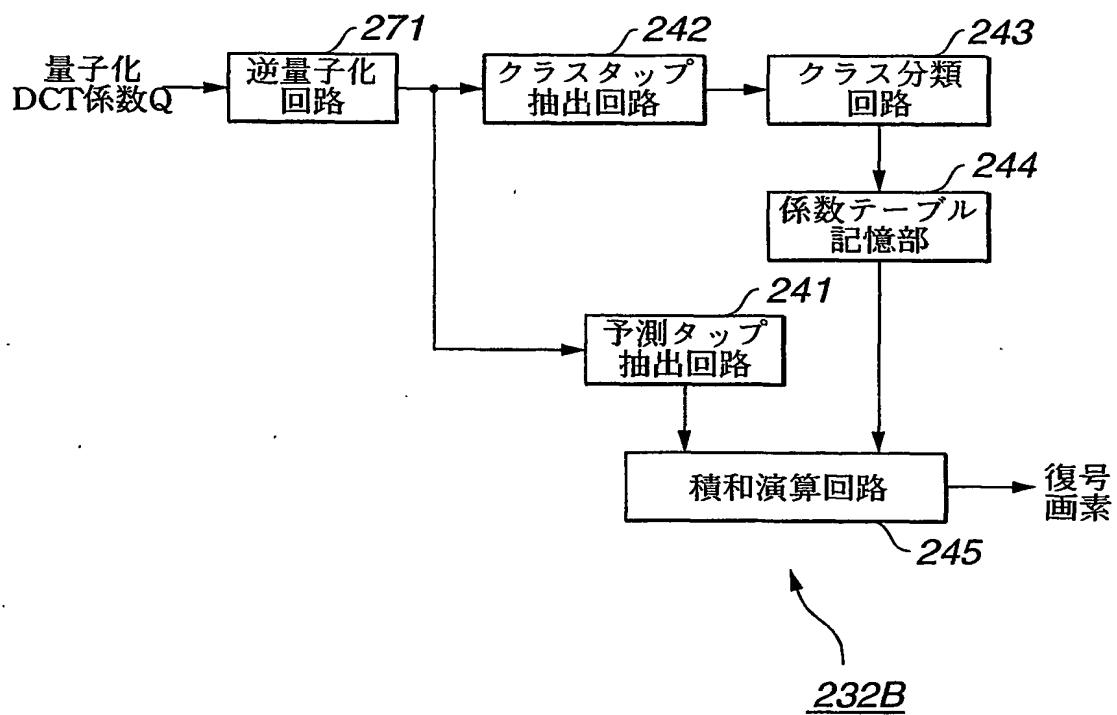


FIG.32

30/91

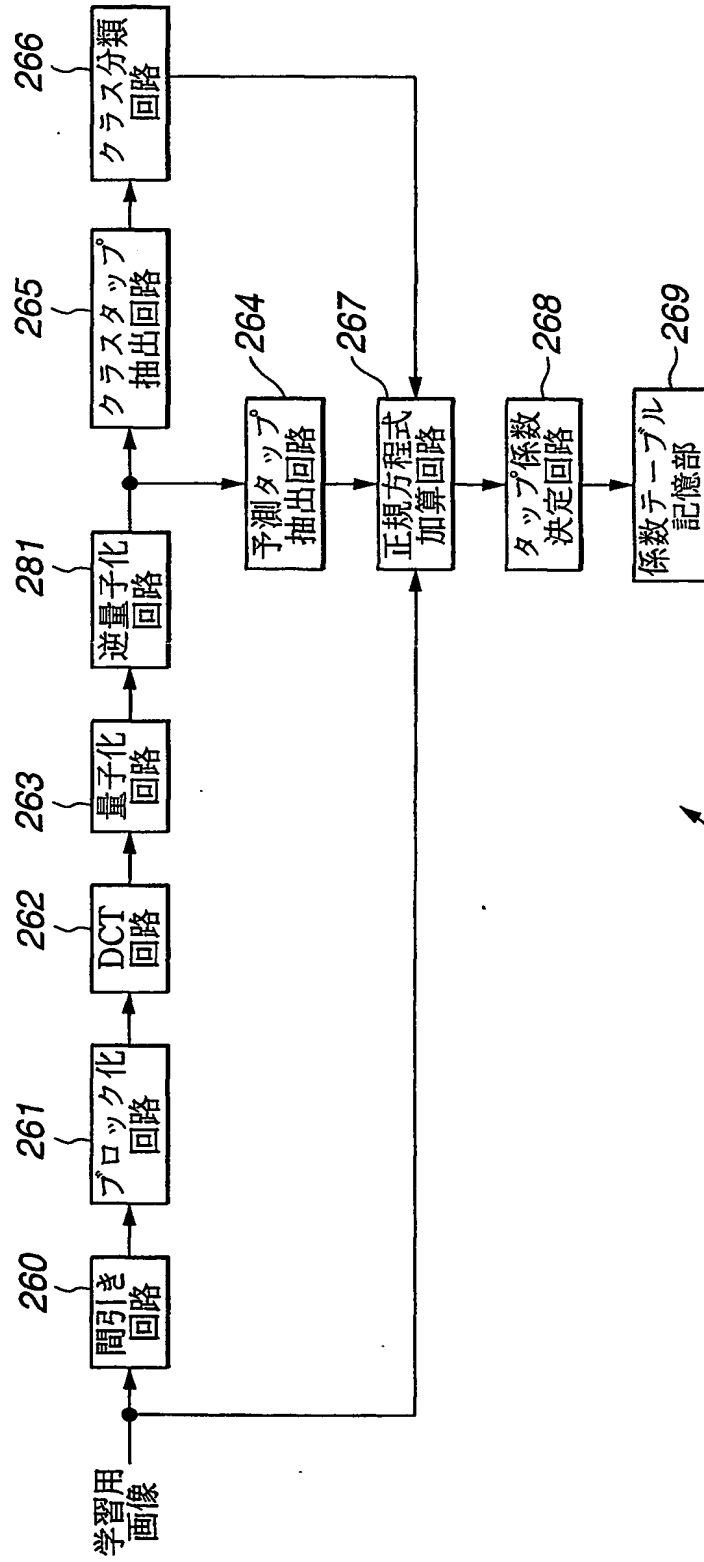


FIG.33

31/91

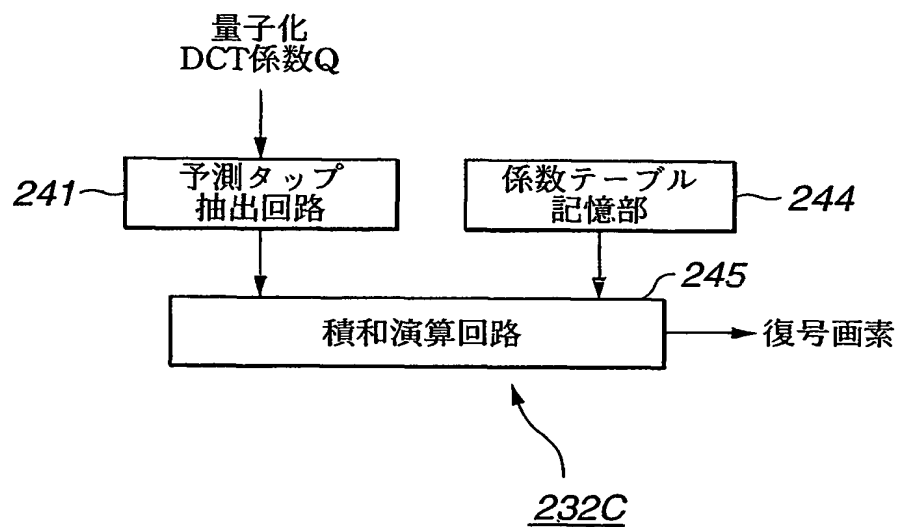
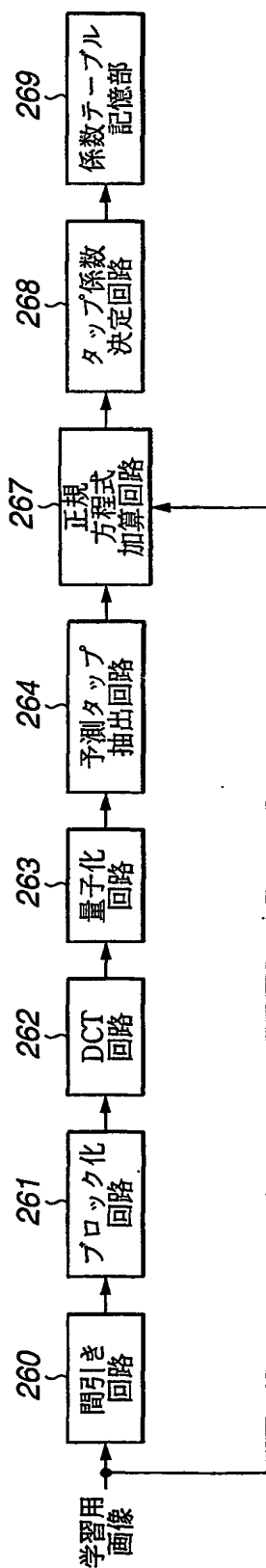


FIG.34

32/91



270C

FIG.35

33/91

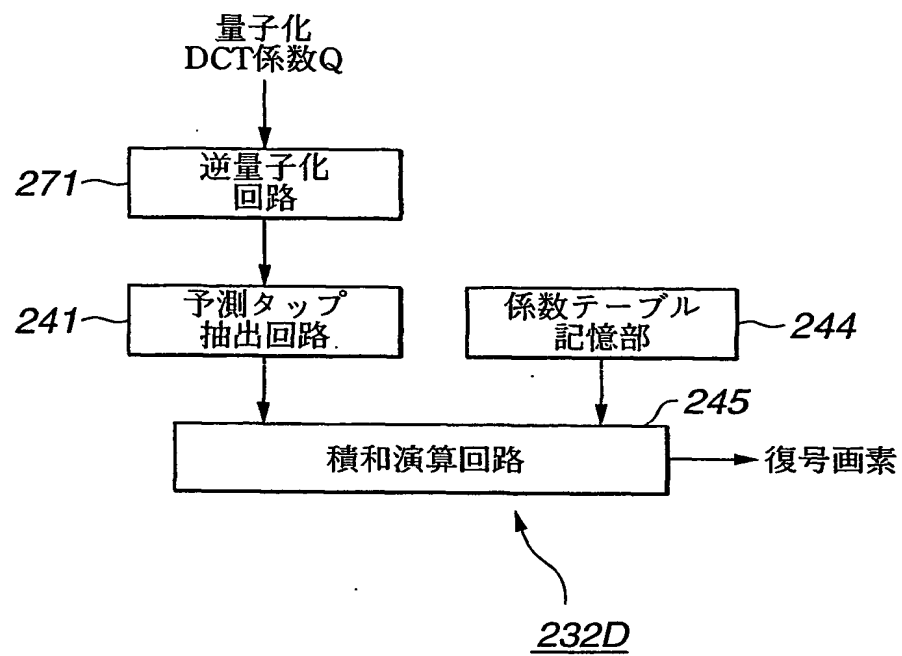


FIG.36

34/91

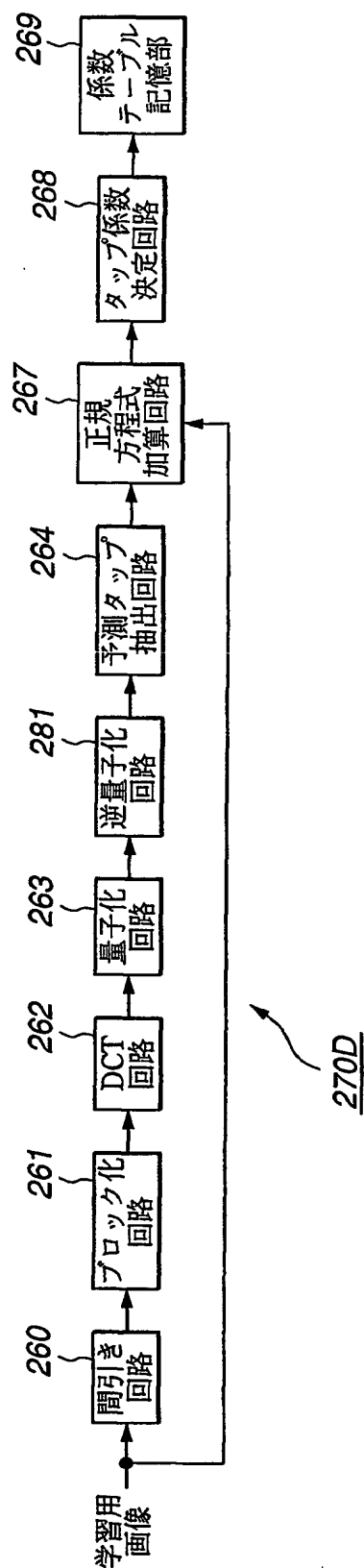


FIG.37

35/91

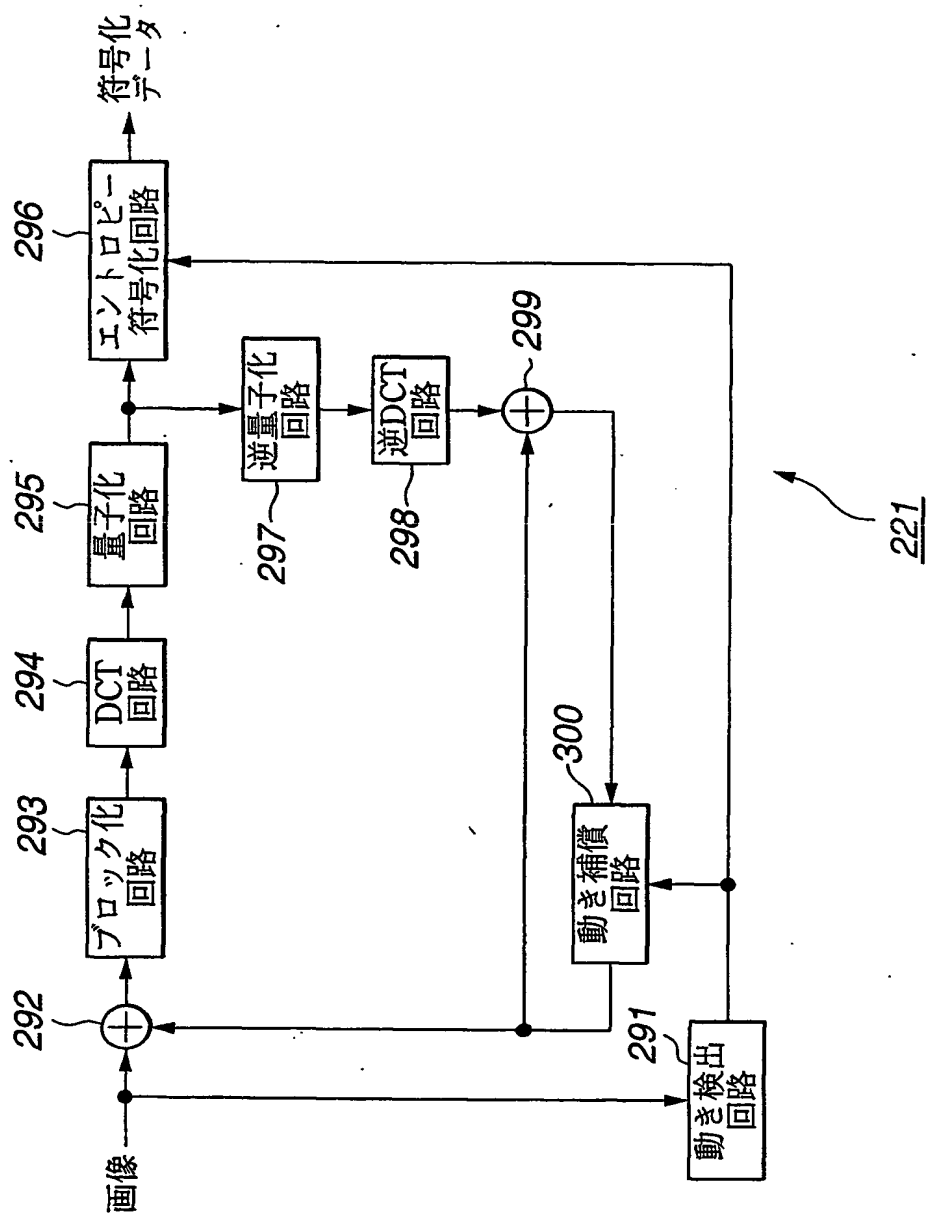


FIG.38

36/91

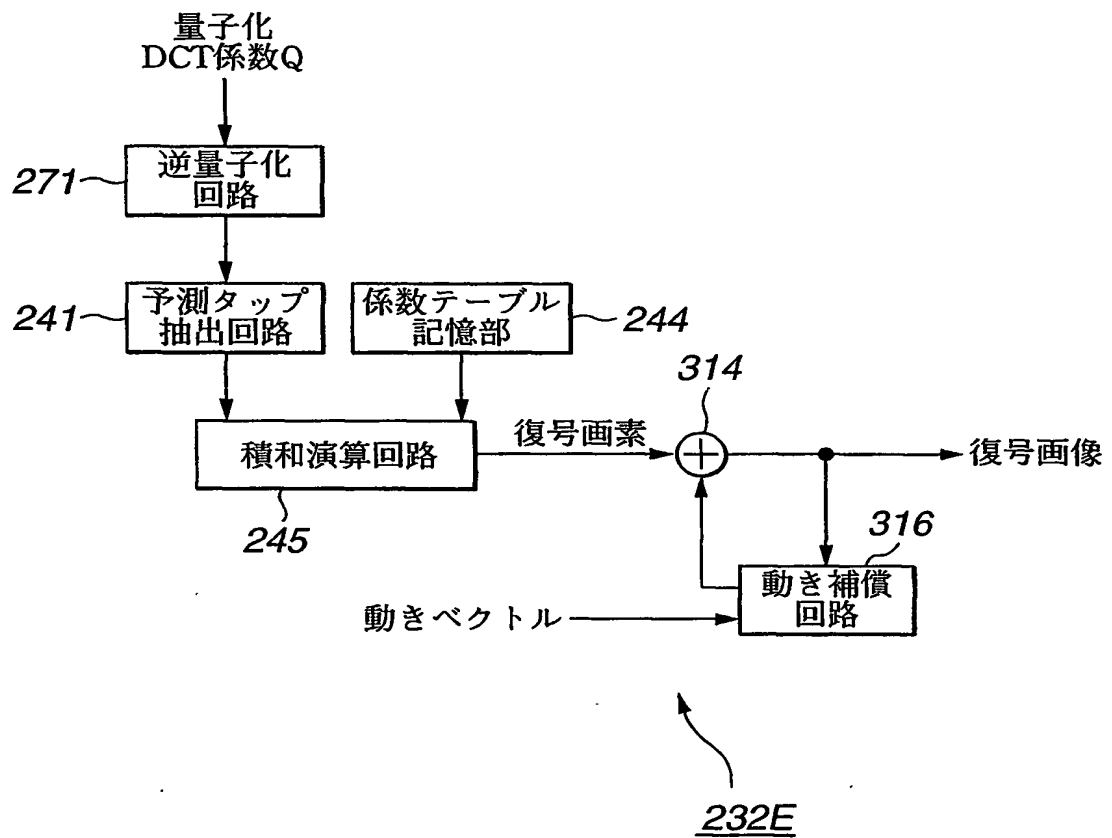


FIG.39

37/91

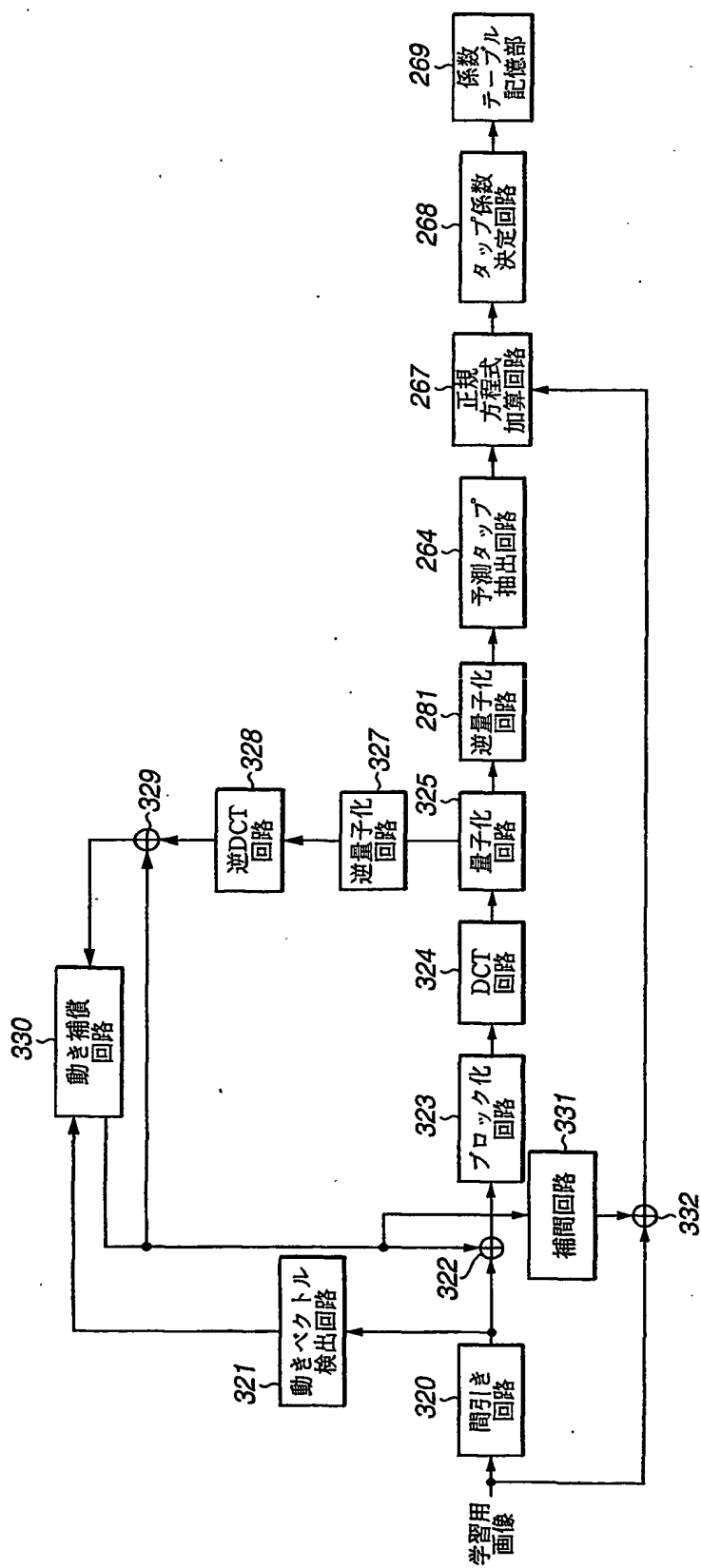


FIG.40

38/91

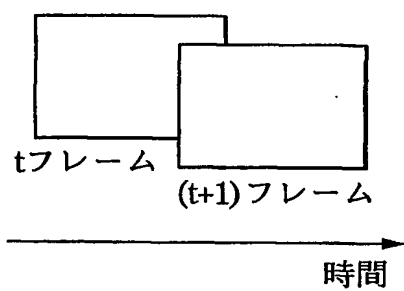


FIG. 41A

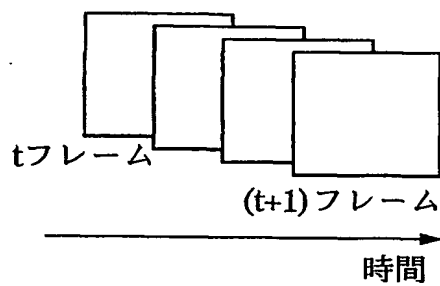


FIG. 41B

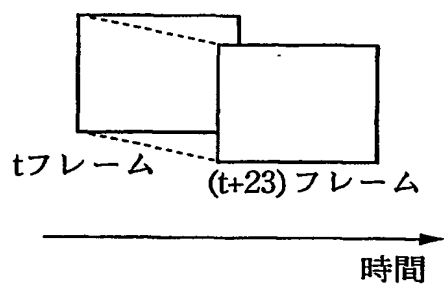


FIG. 42A

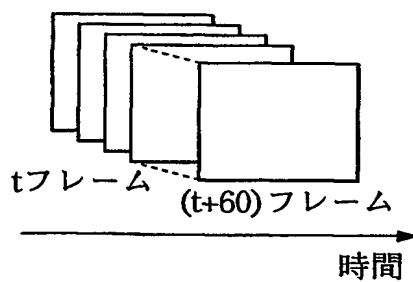


FIG. 42B

39/91

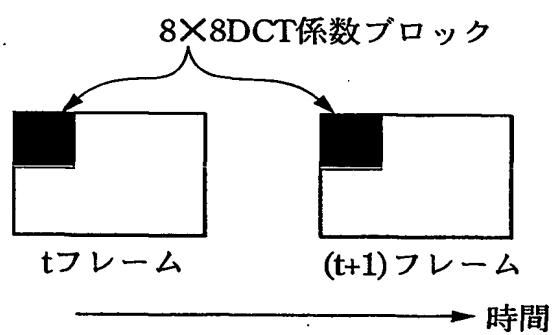


FIG.43

40/91

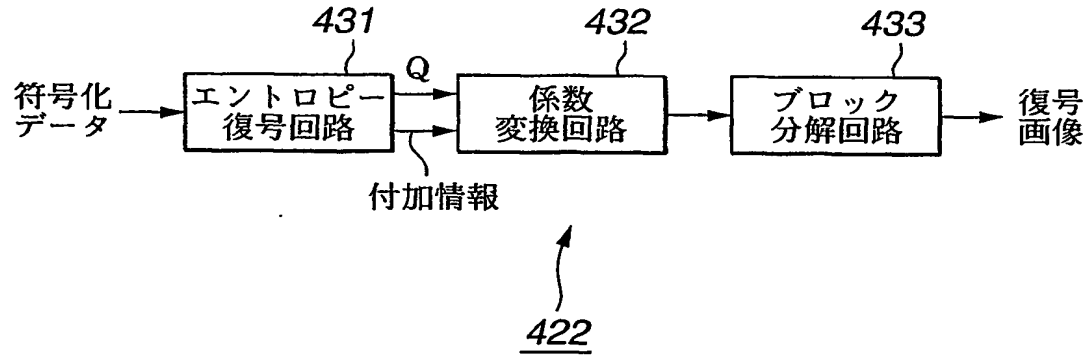


FIG.44

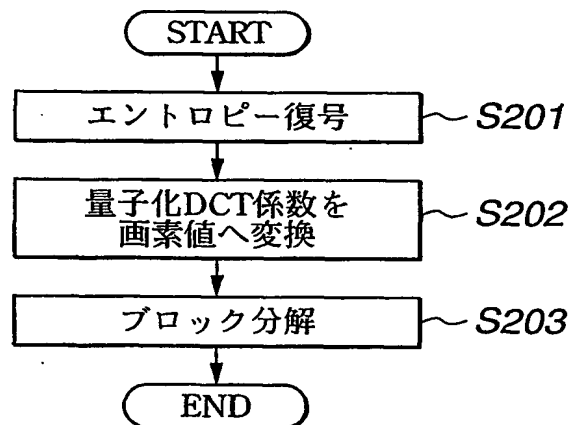


FIG.45

41/91

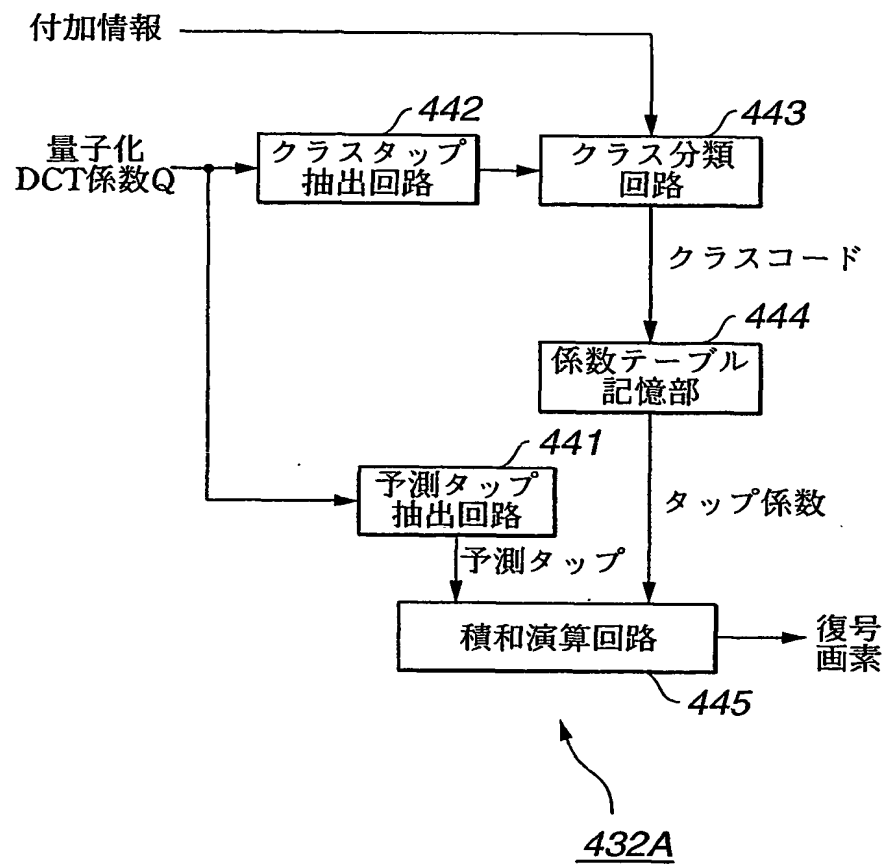


FIG.46

42/91

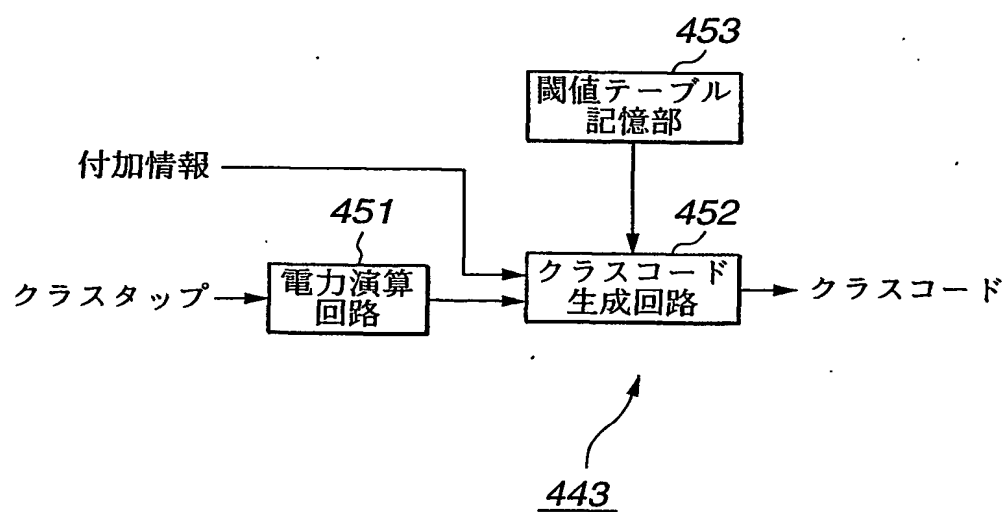


FIG.47

43/91

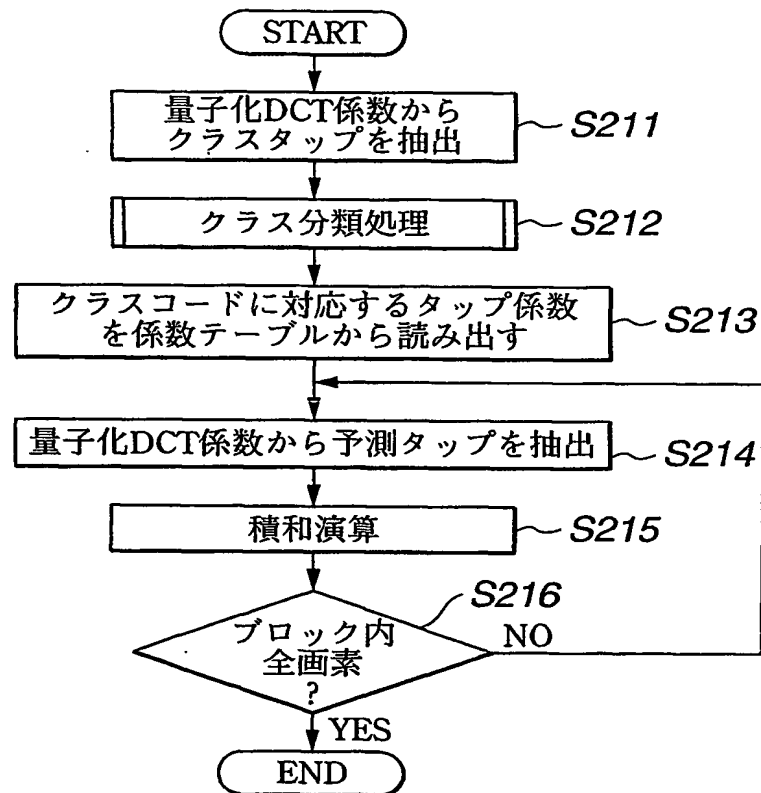


FIG.48

44/91

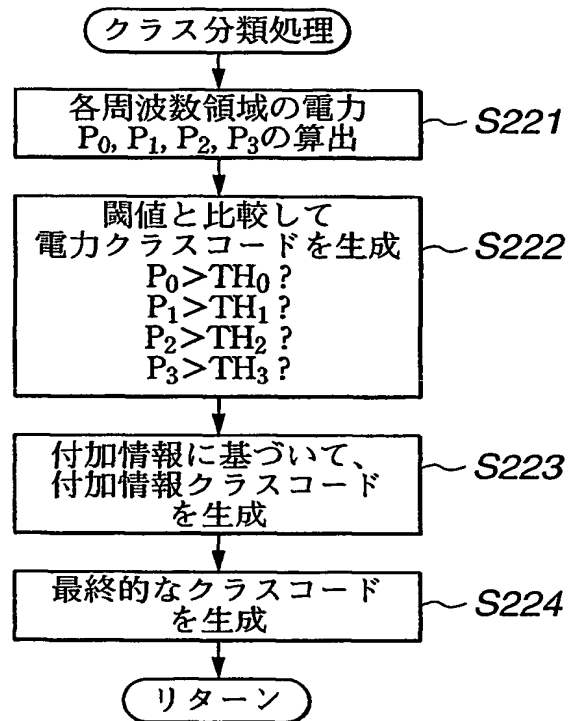


FIG.49

45/91

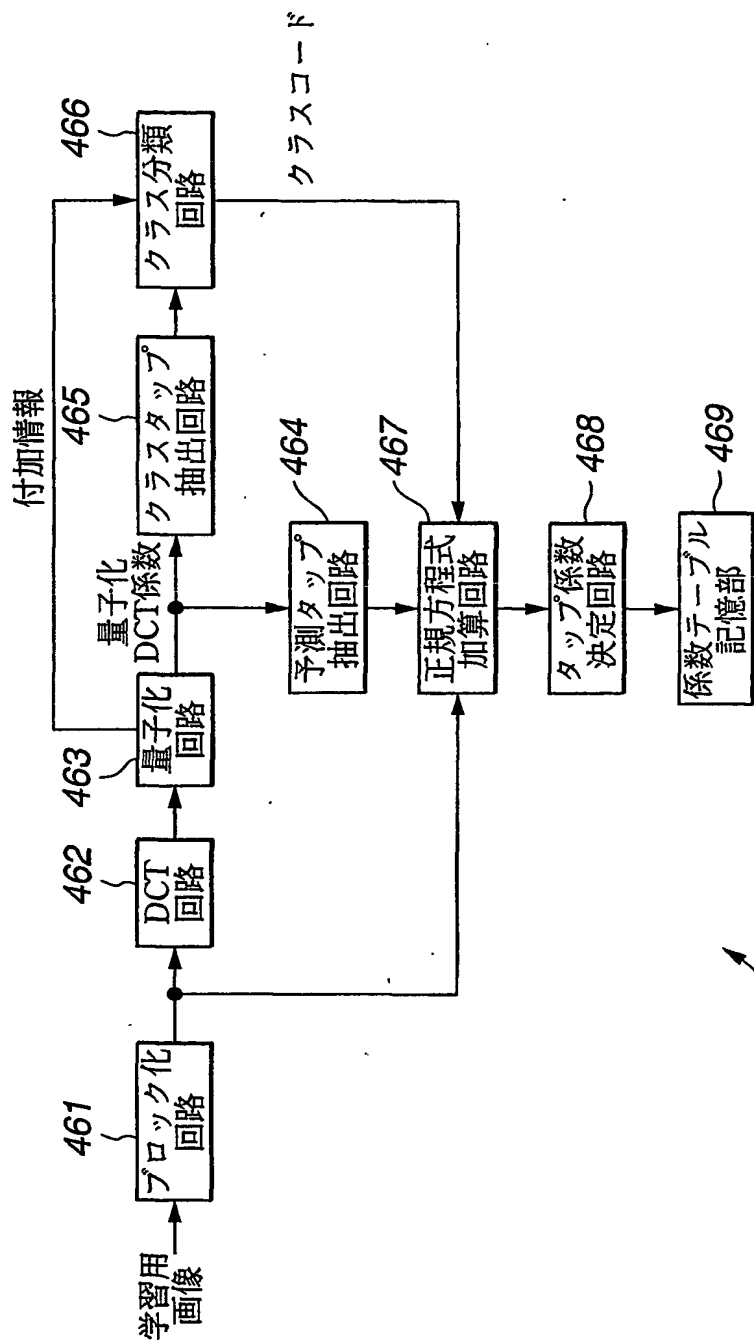


FIG. 50

46/91

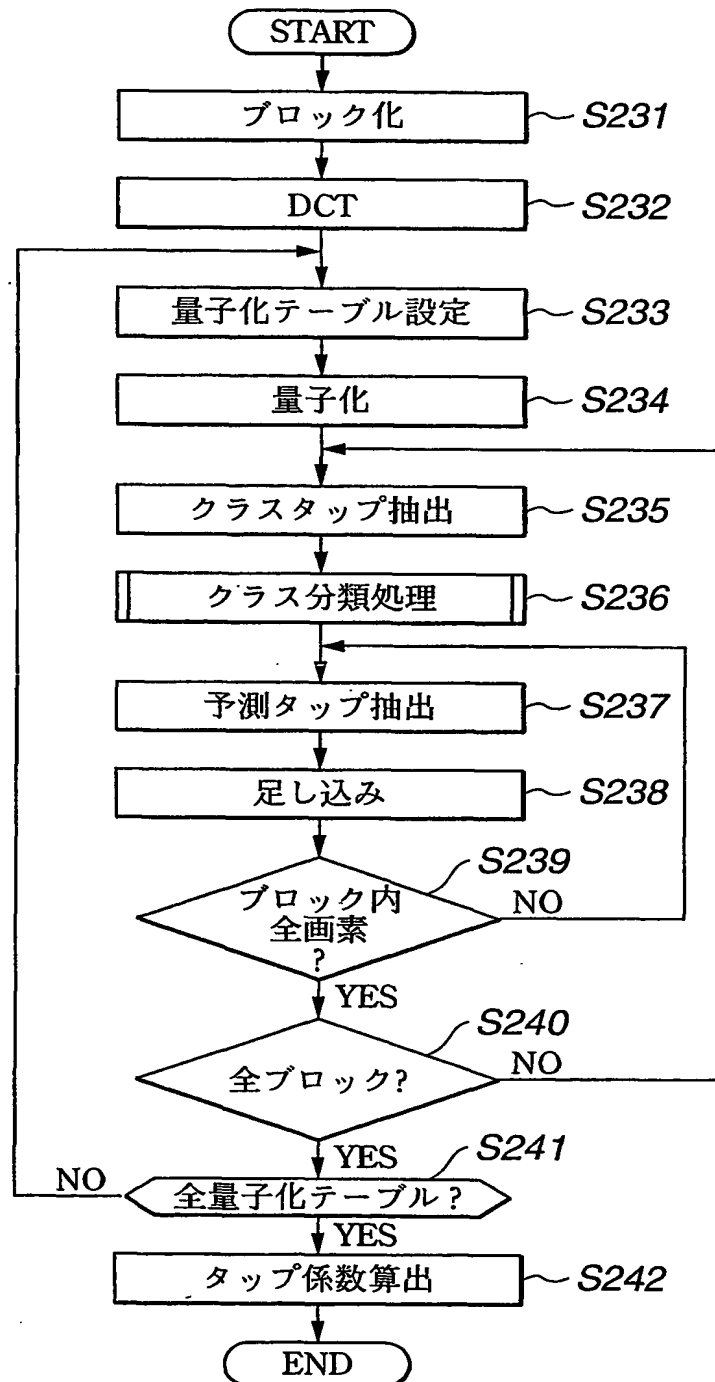


FIG.51

47/91

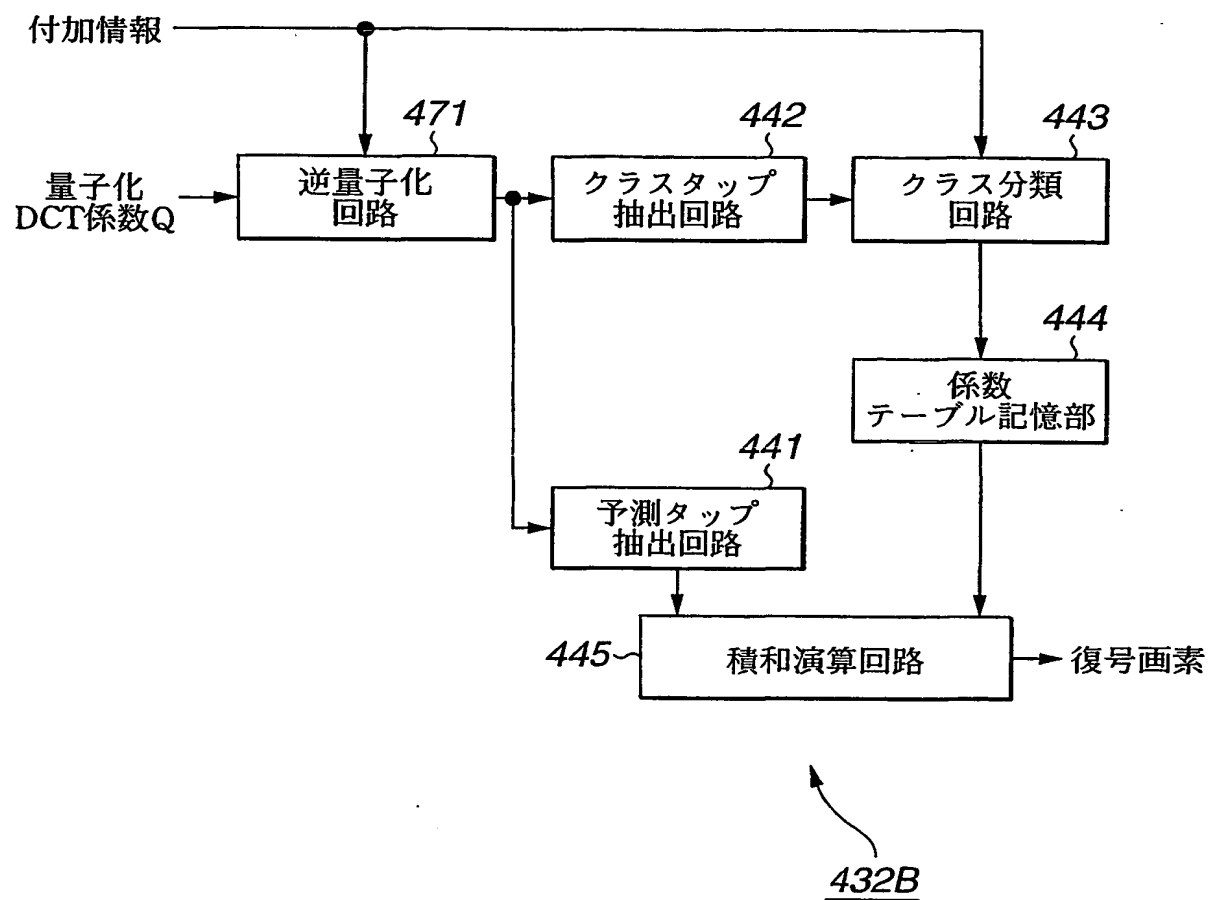


FIG.52

48/91

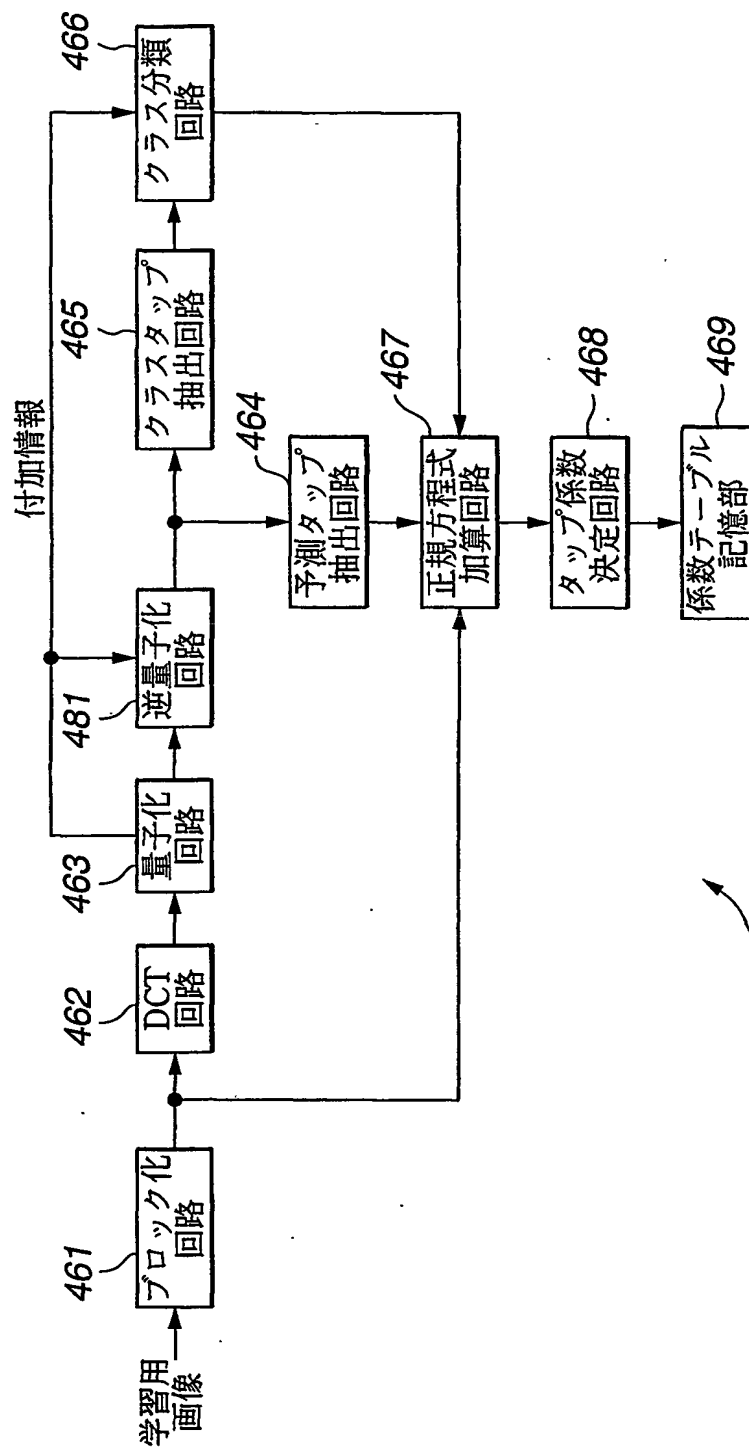


FIG.53

49/91

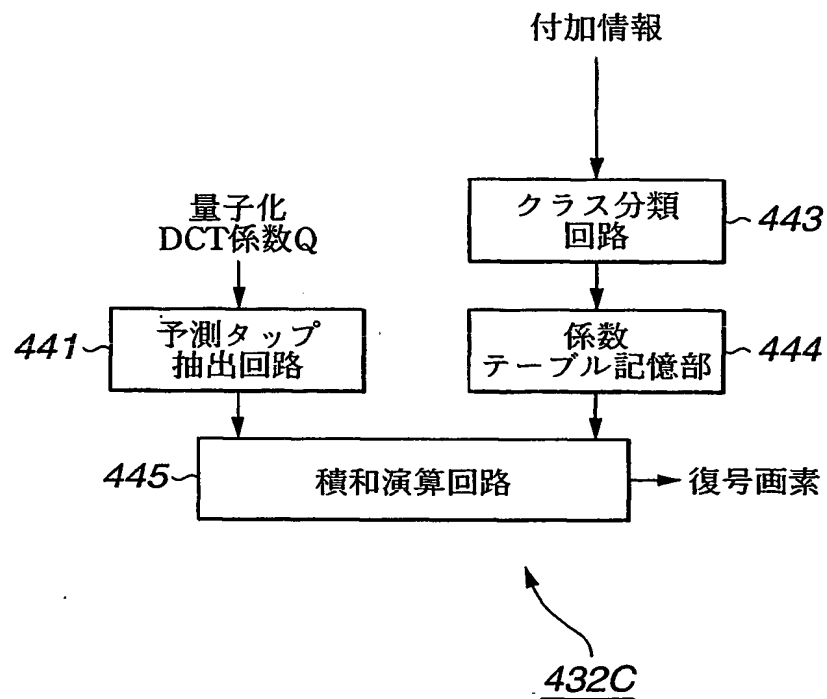


FIG.54

50/91

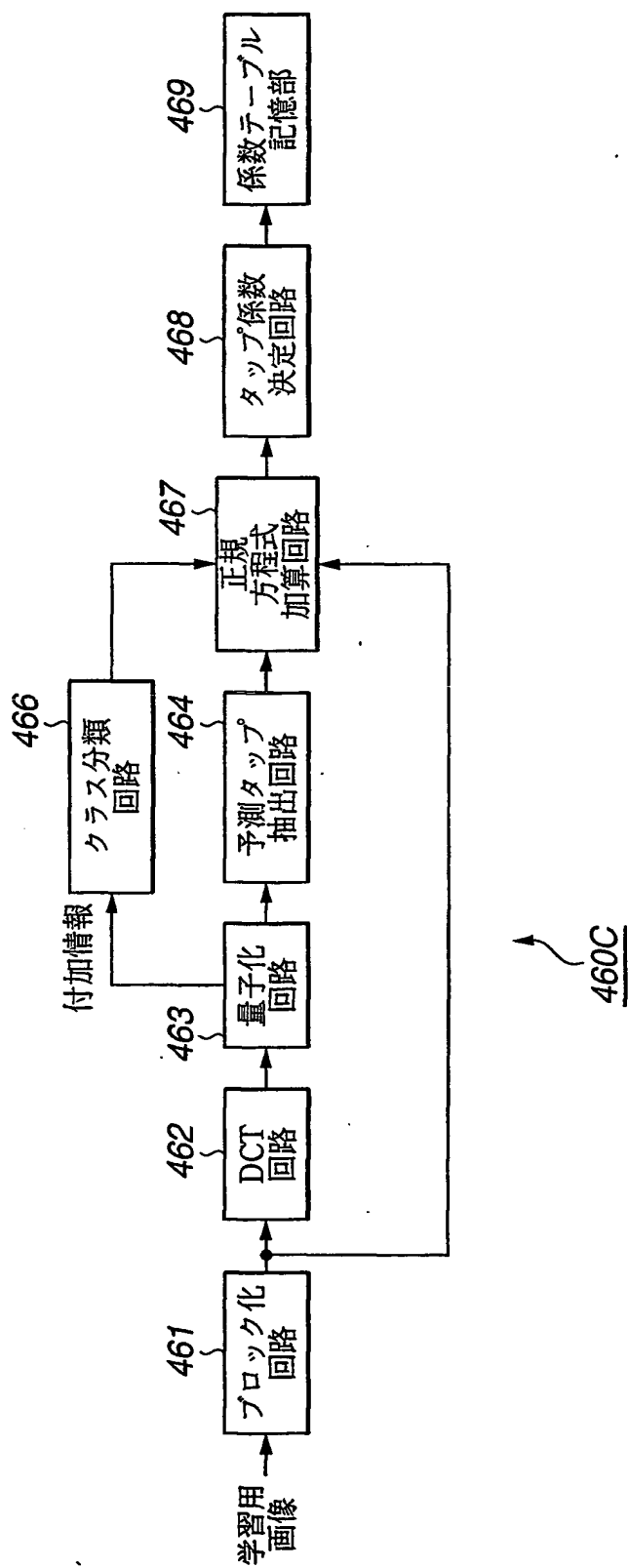


FIG.55

51/91

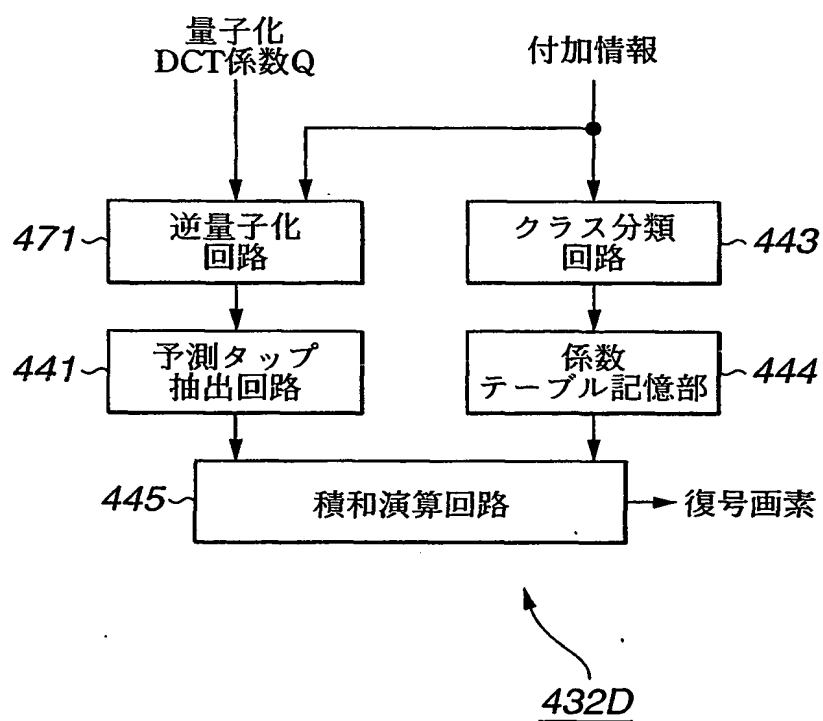


FIG.56

52/91

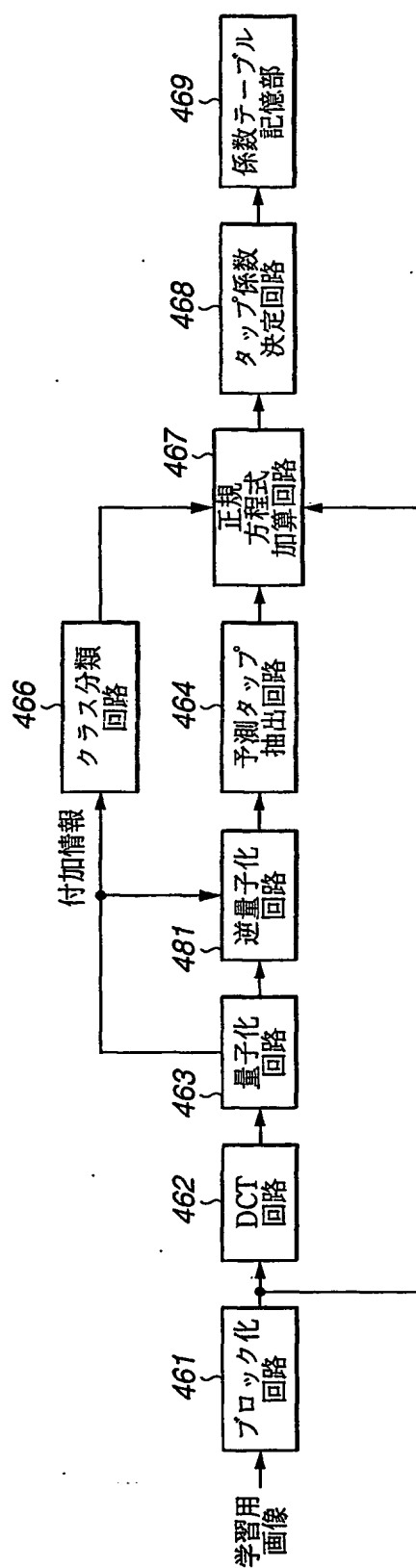


FIG.57

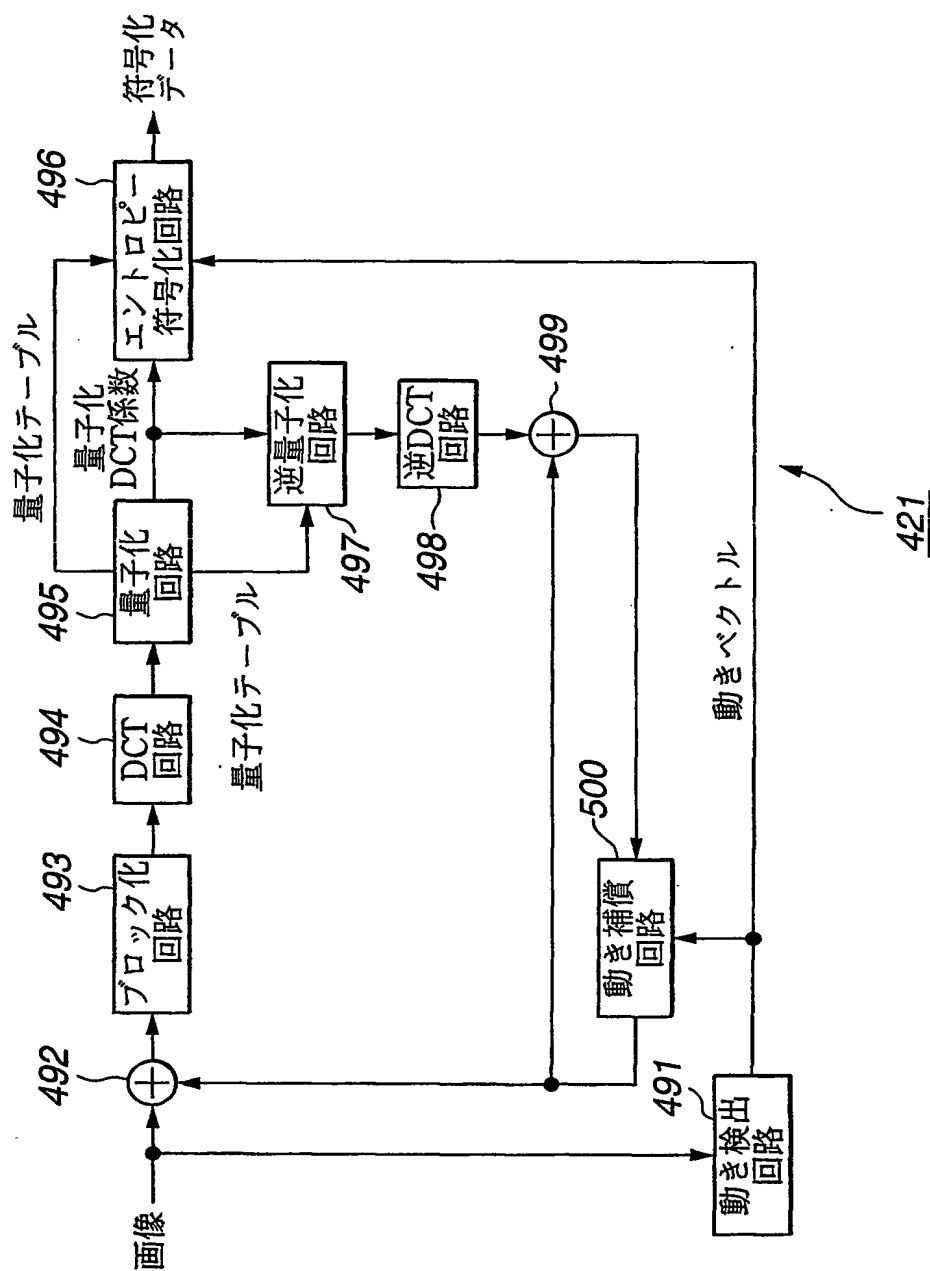


FIG. 58

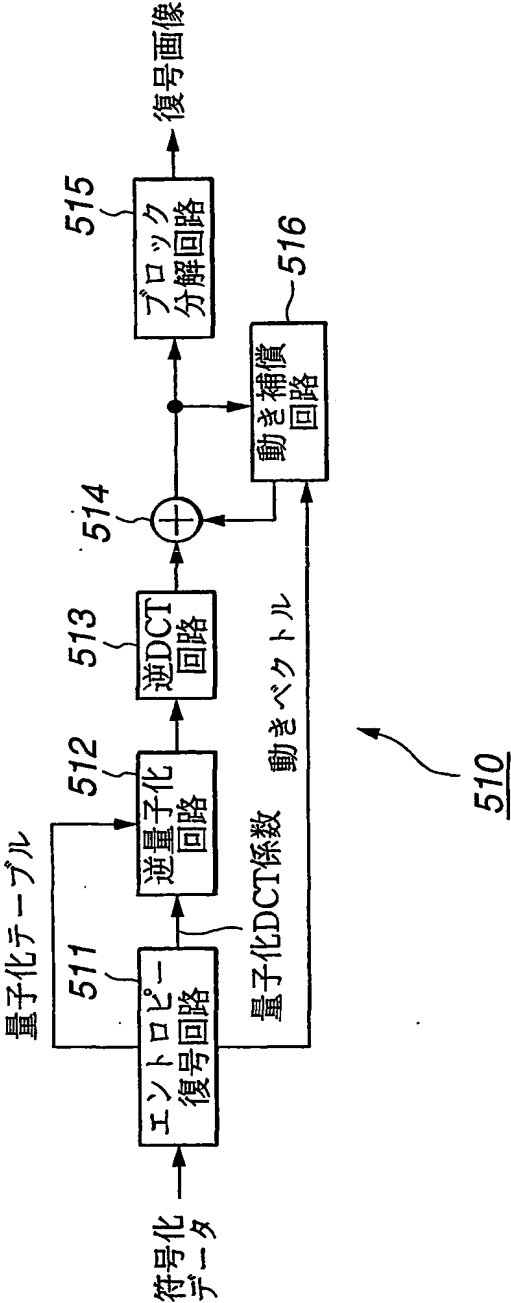


FIG.59

55/91

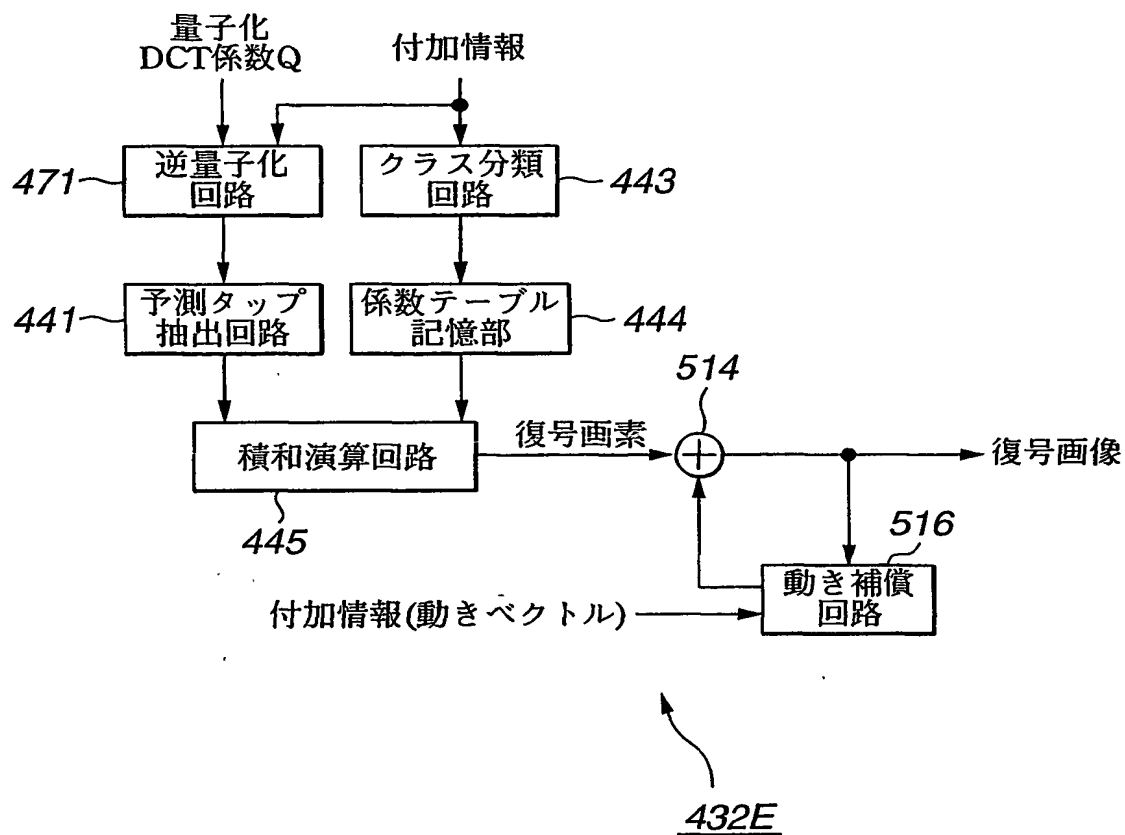


FIG.60

56/91

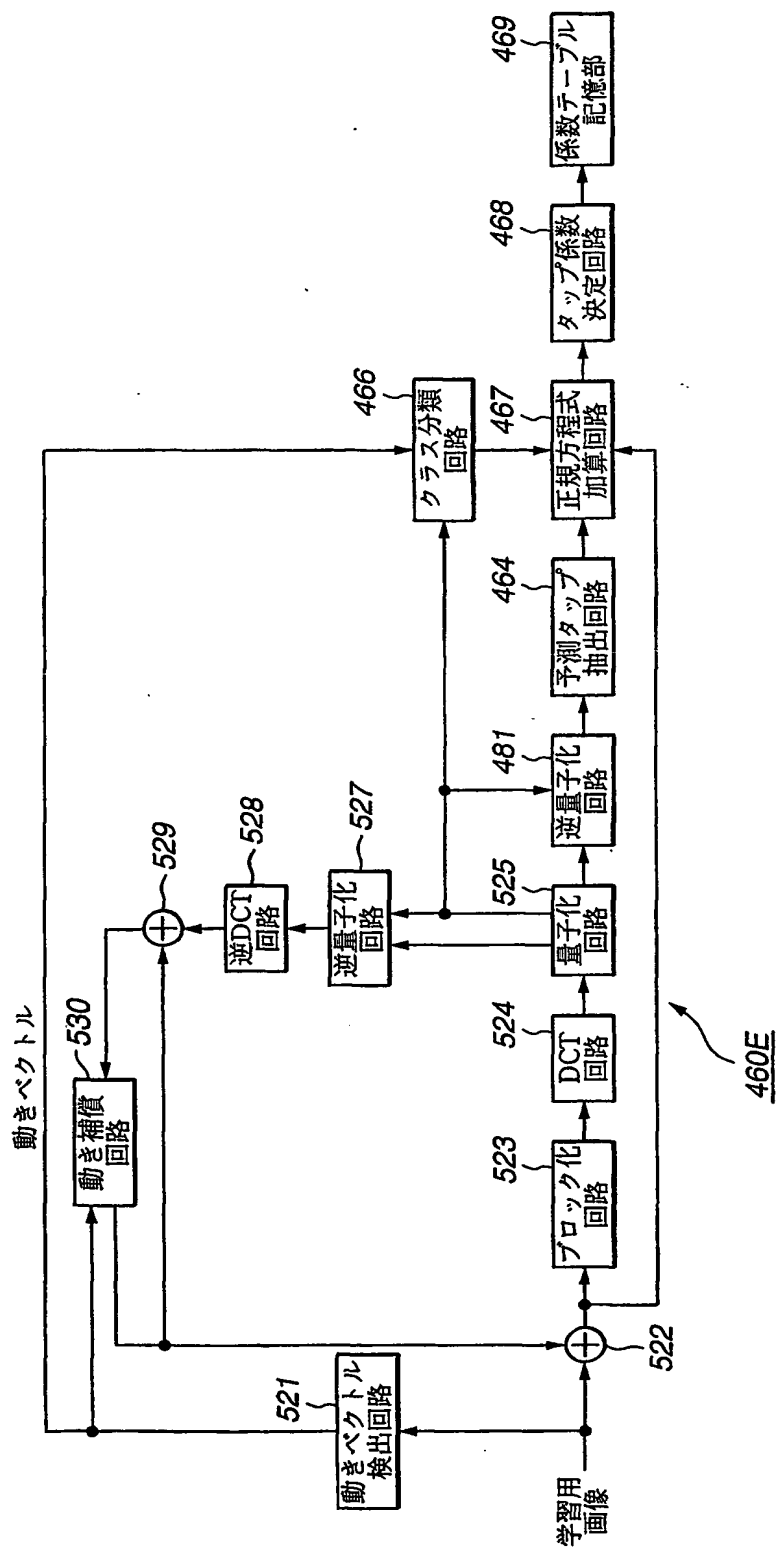


FIG. 61

57/91

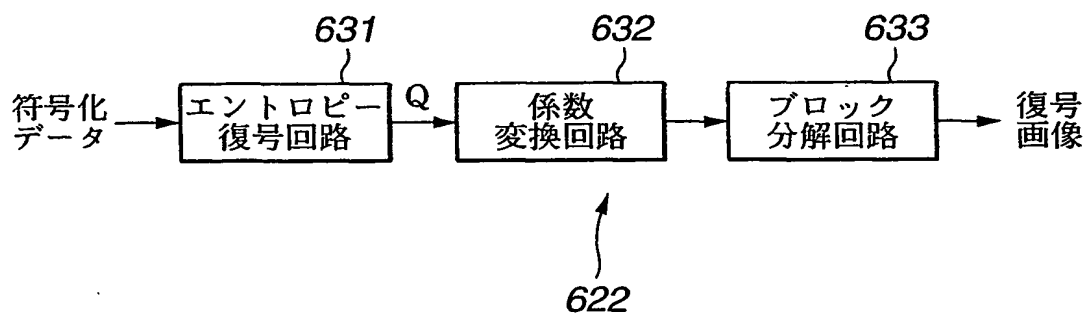


FIG. 62

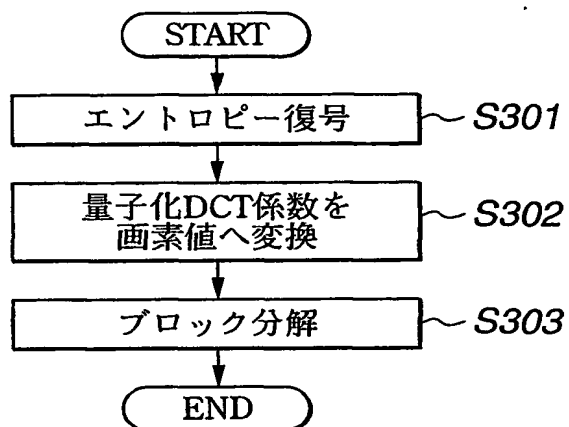


FIG. 63

58/91

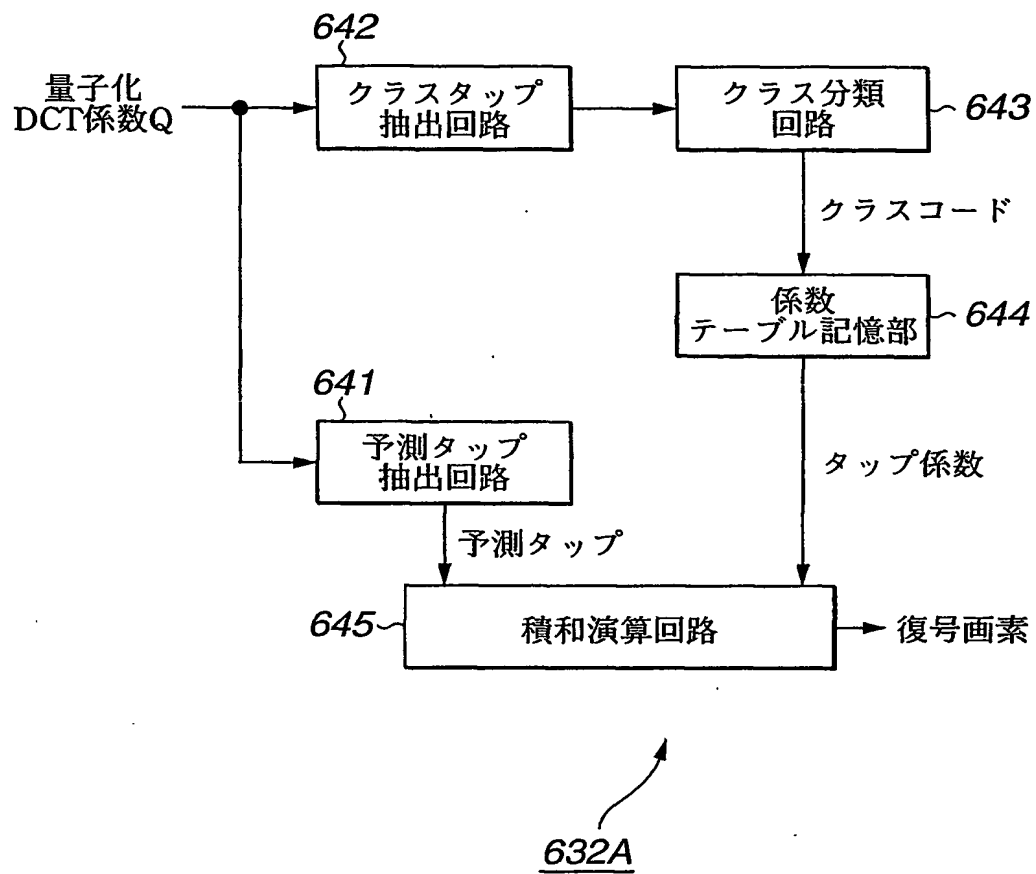


FIG.64

59/91

水平高域 →

0	1	2	3	4	5	6	7
8	9	10	11	12	13	14	15
16	17	18	19	20	21	22	23
24	25	26	27	28	29	30	31
32	33	34	35	36	37	38	39
40	41	42	43	44	45	46	47
48	49	50	51	52	53	54	55
56	57	58	59	60	61	62	63

↓ 垂直高域

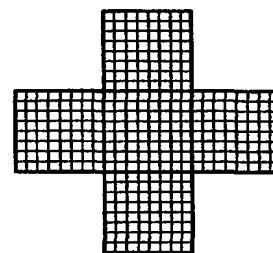


FIG.65A

FIG.65B

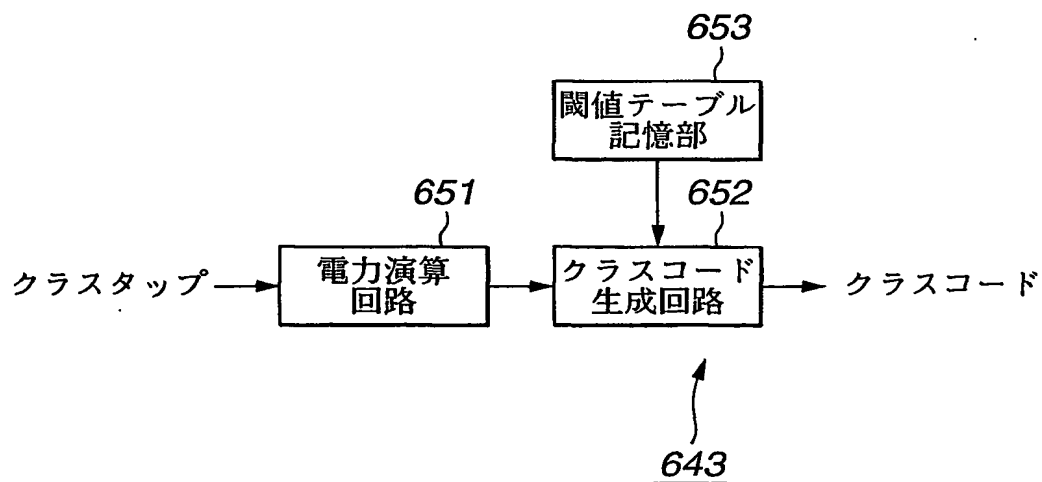


FIG.66

60/91

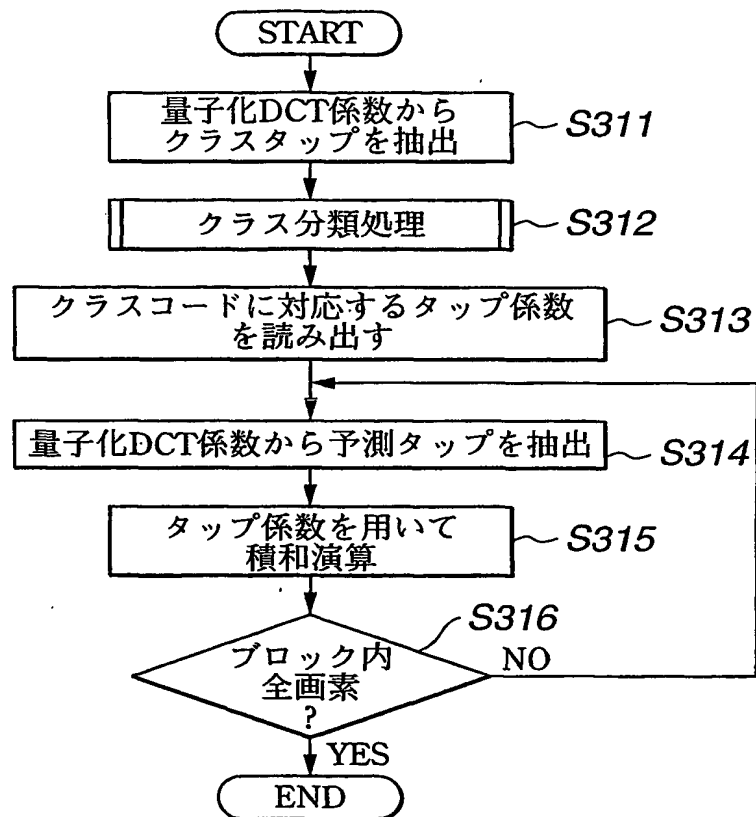


FIG.67

61/91

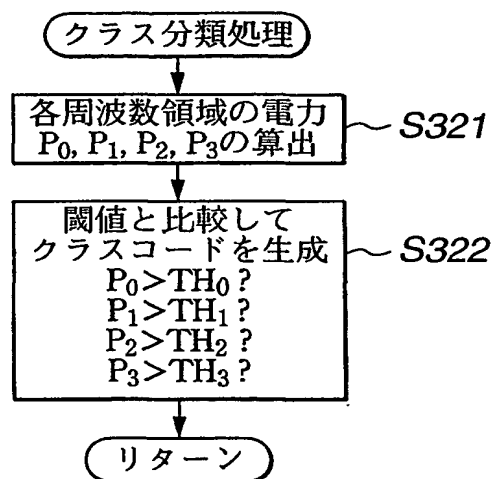


FIG.68

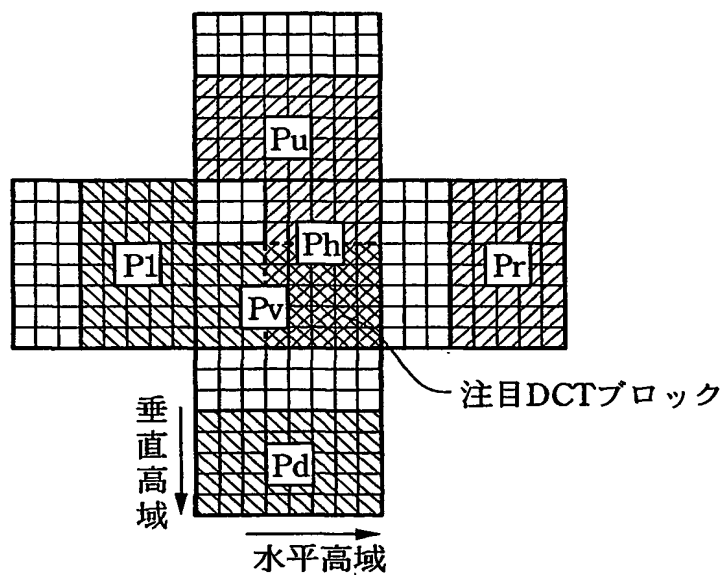


FIG.69

62/91

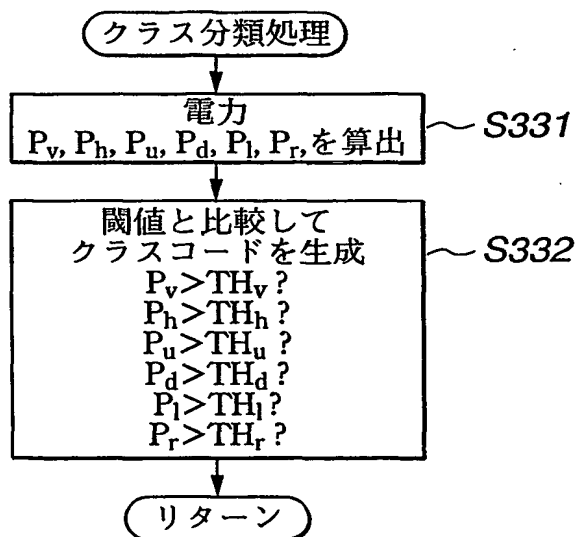


FIG.70

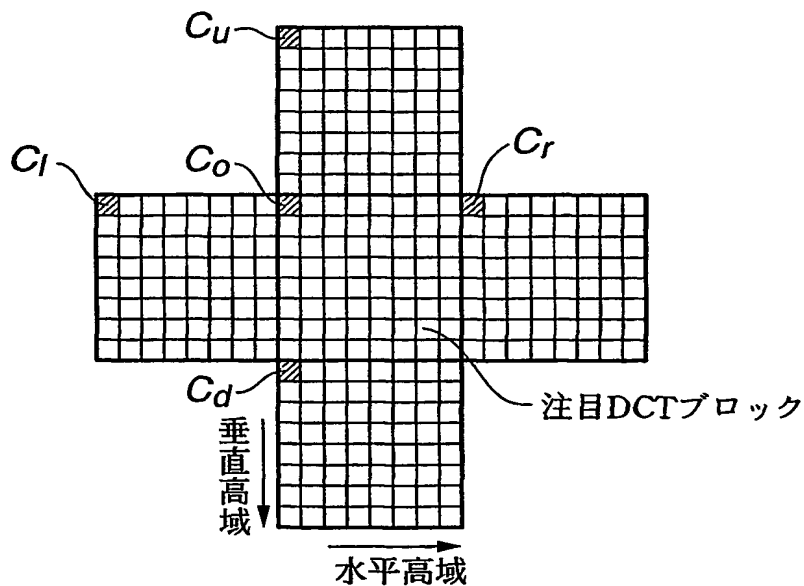


FIG.71

63/91

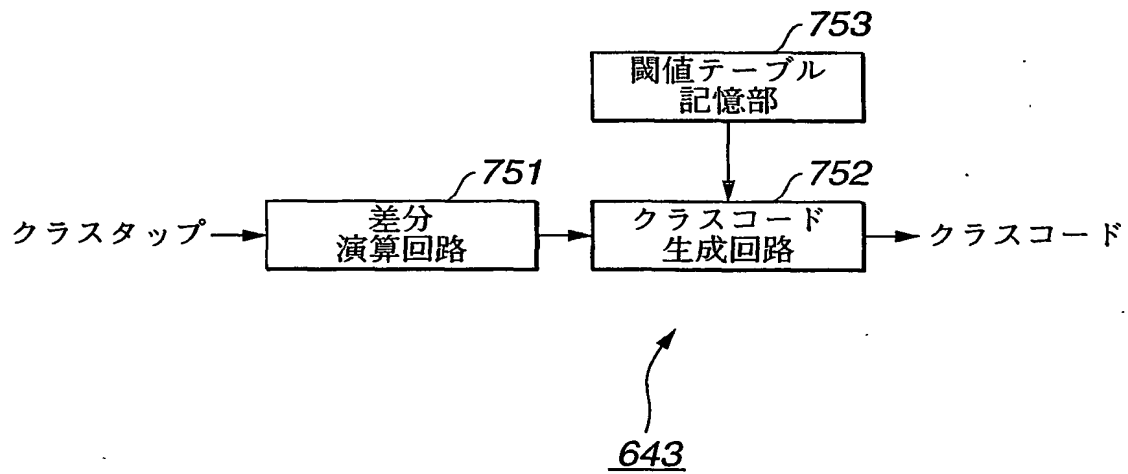


FIG.72

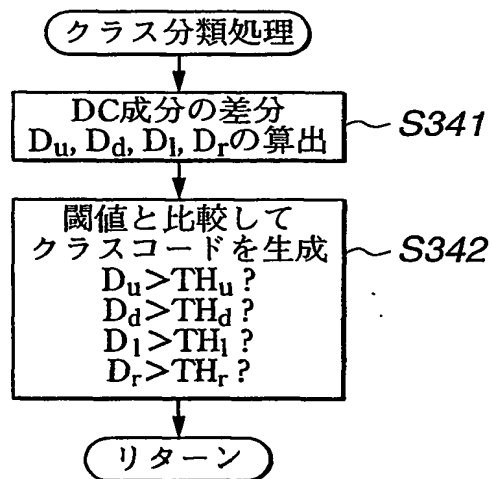


FIG.73

64/91

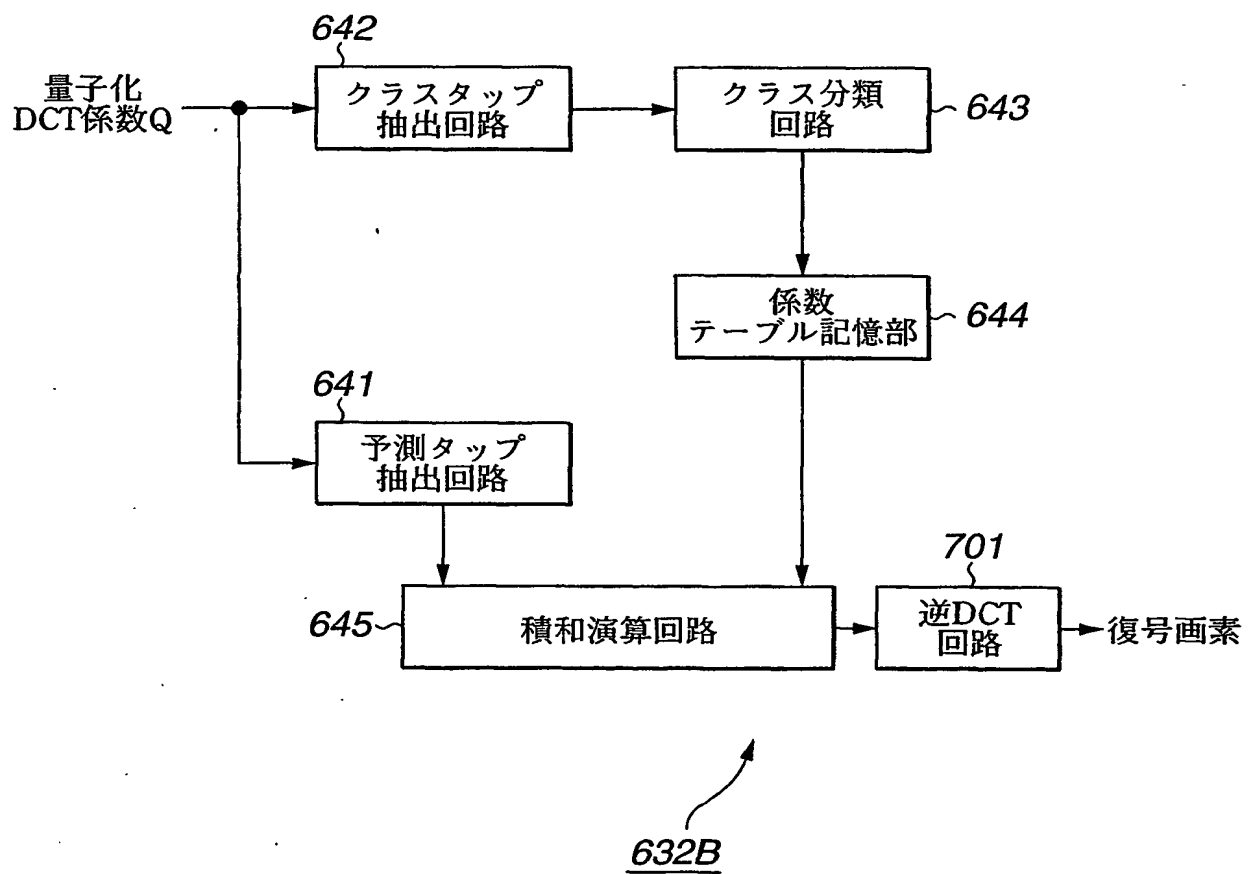


FIG.74

65/91

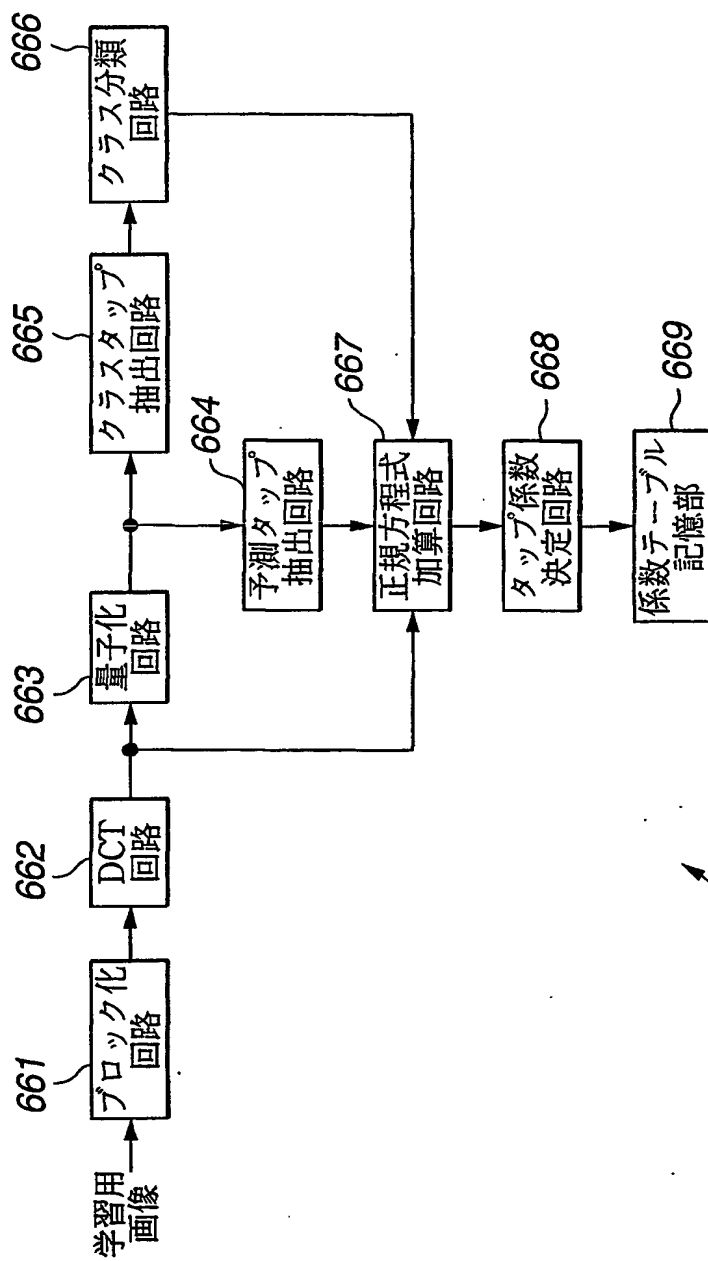
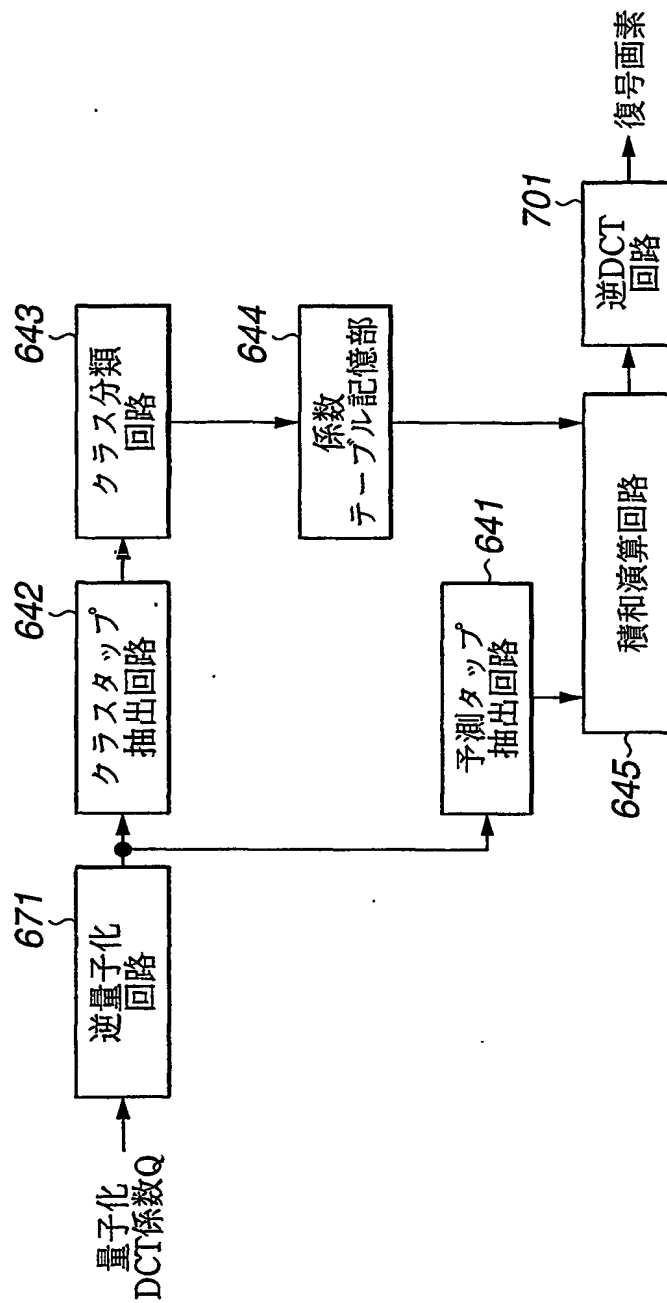


FIG.75

66/91



632C

FIG. 76

67/91

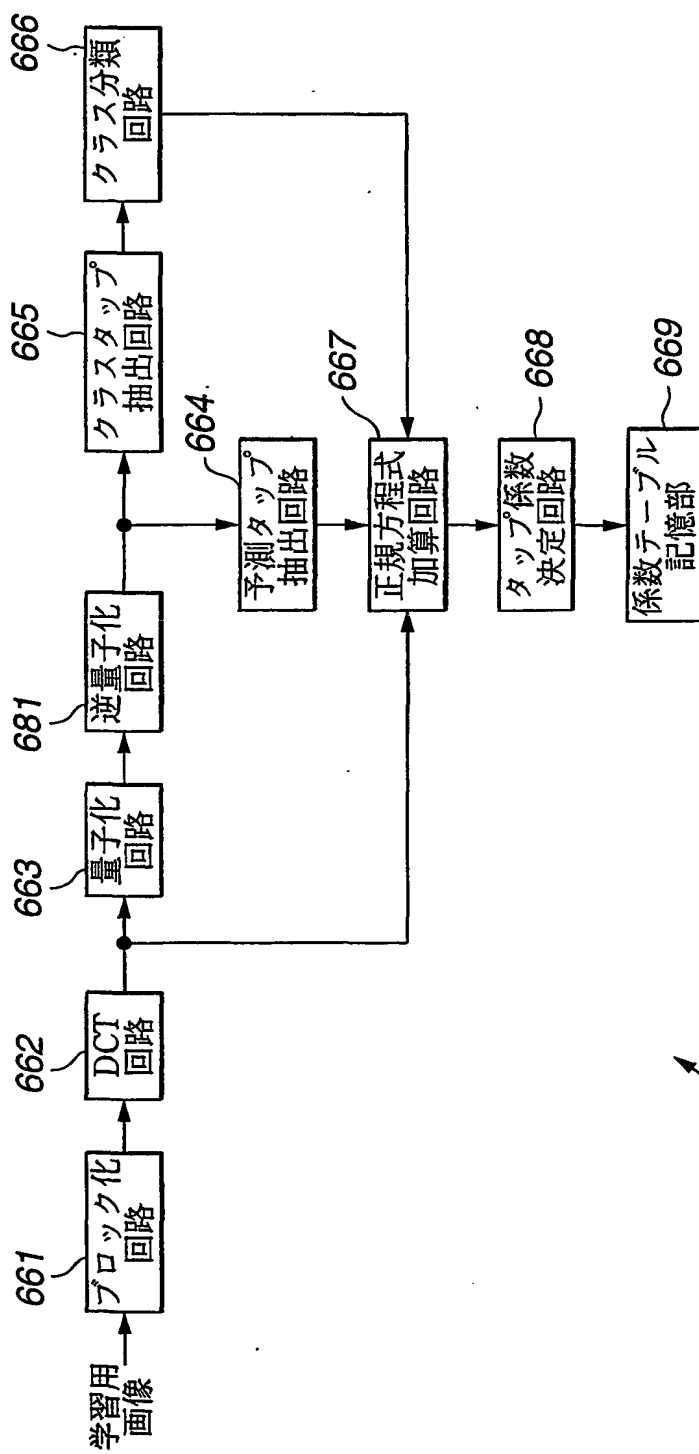


FIG.77

68/91

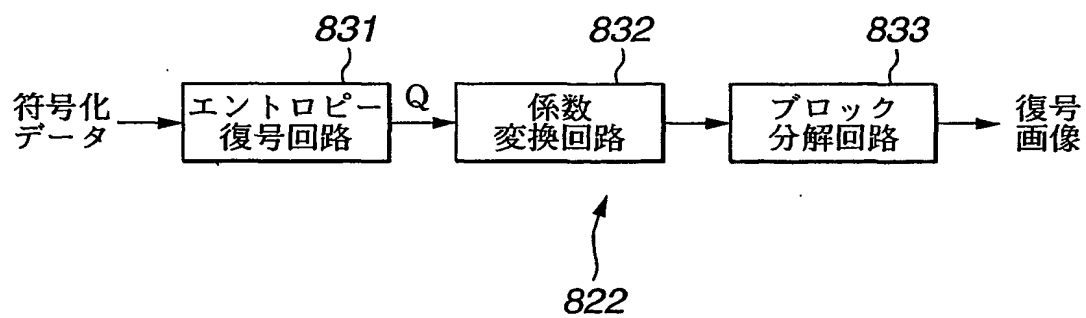


FIG.78

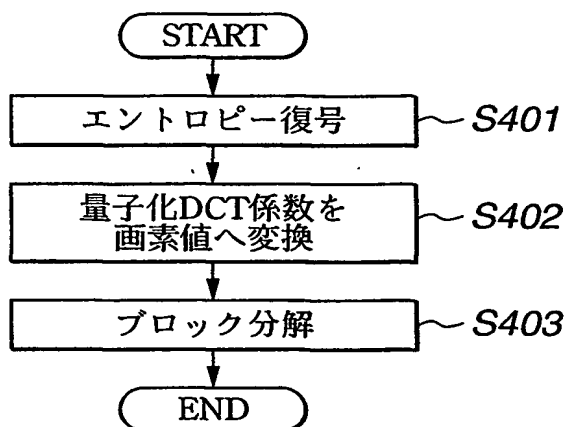


FIG.79

69/91

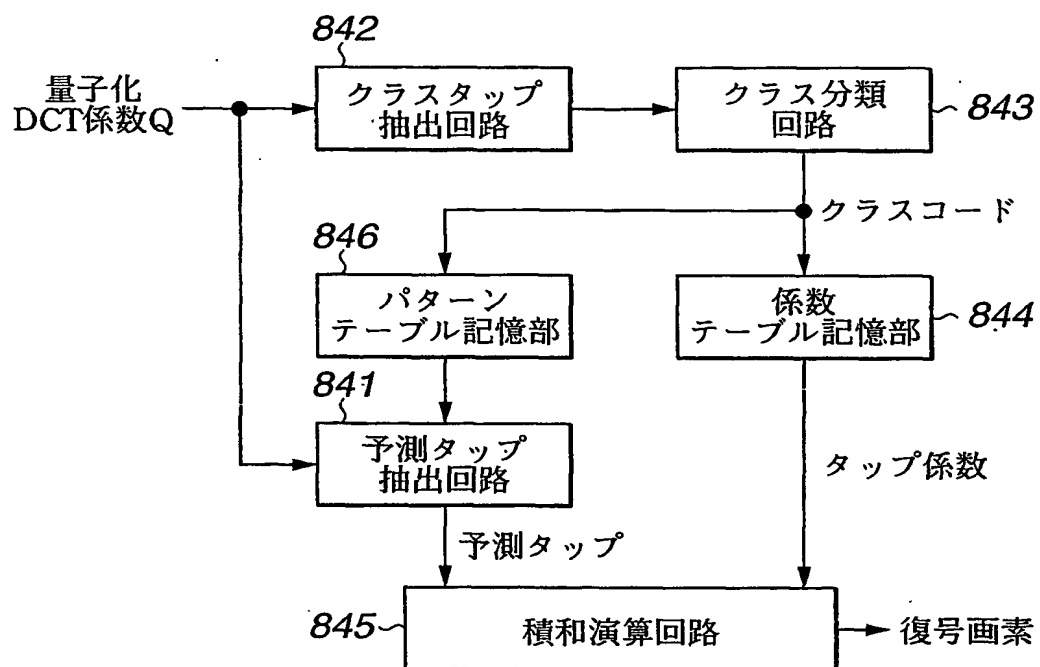
832A

FIG.80

70/91

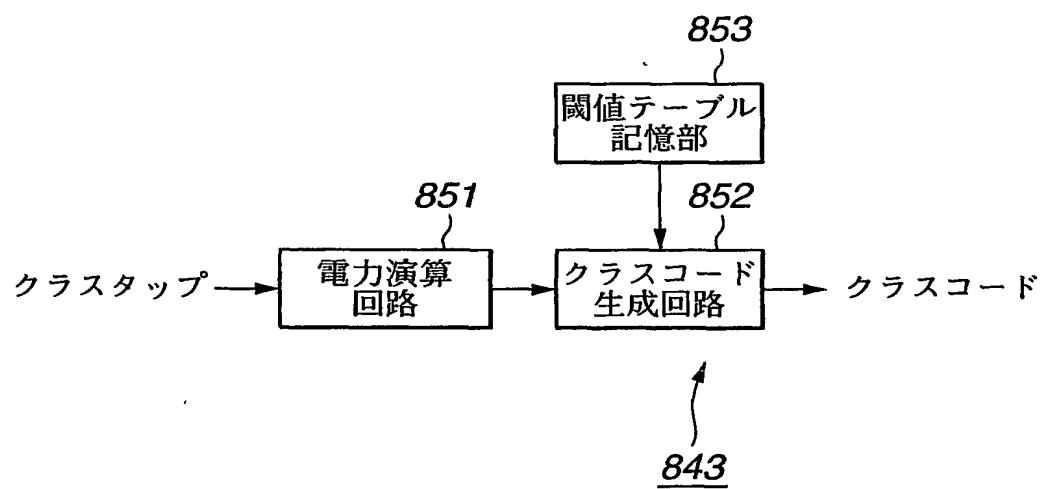


FIG.81

71/91

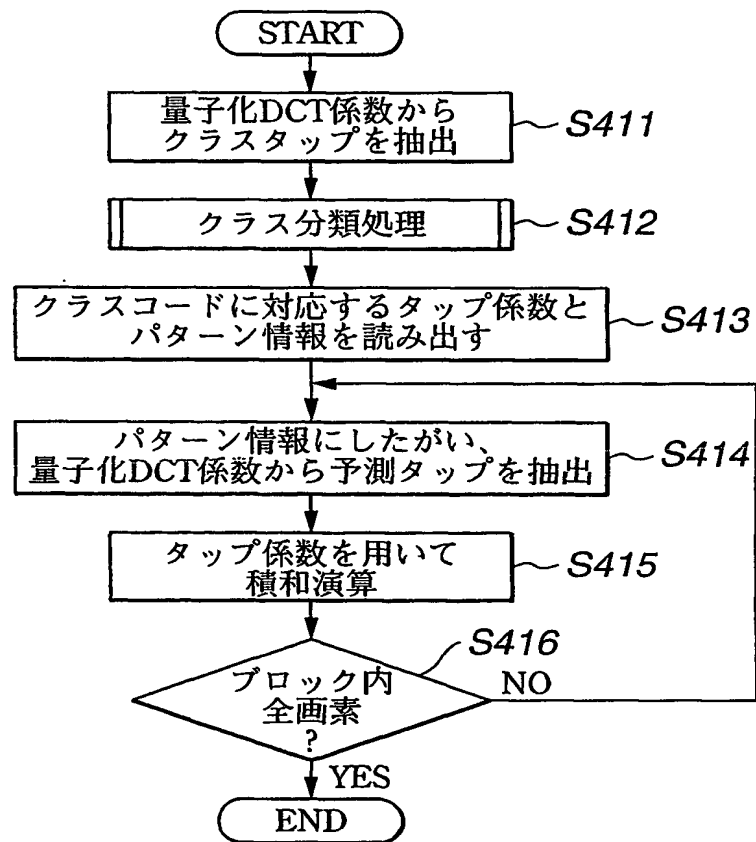


FIG.82

72/91

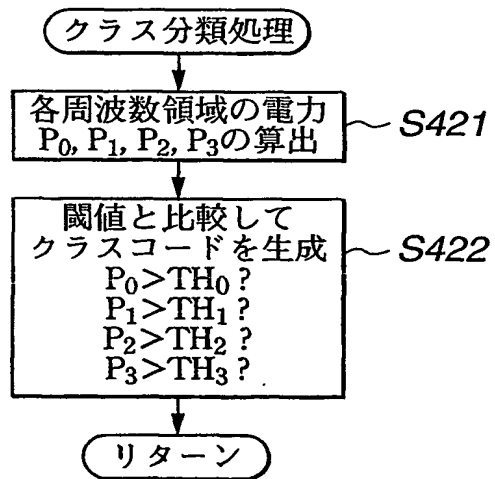


FIG.83

73/91

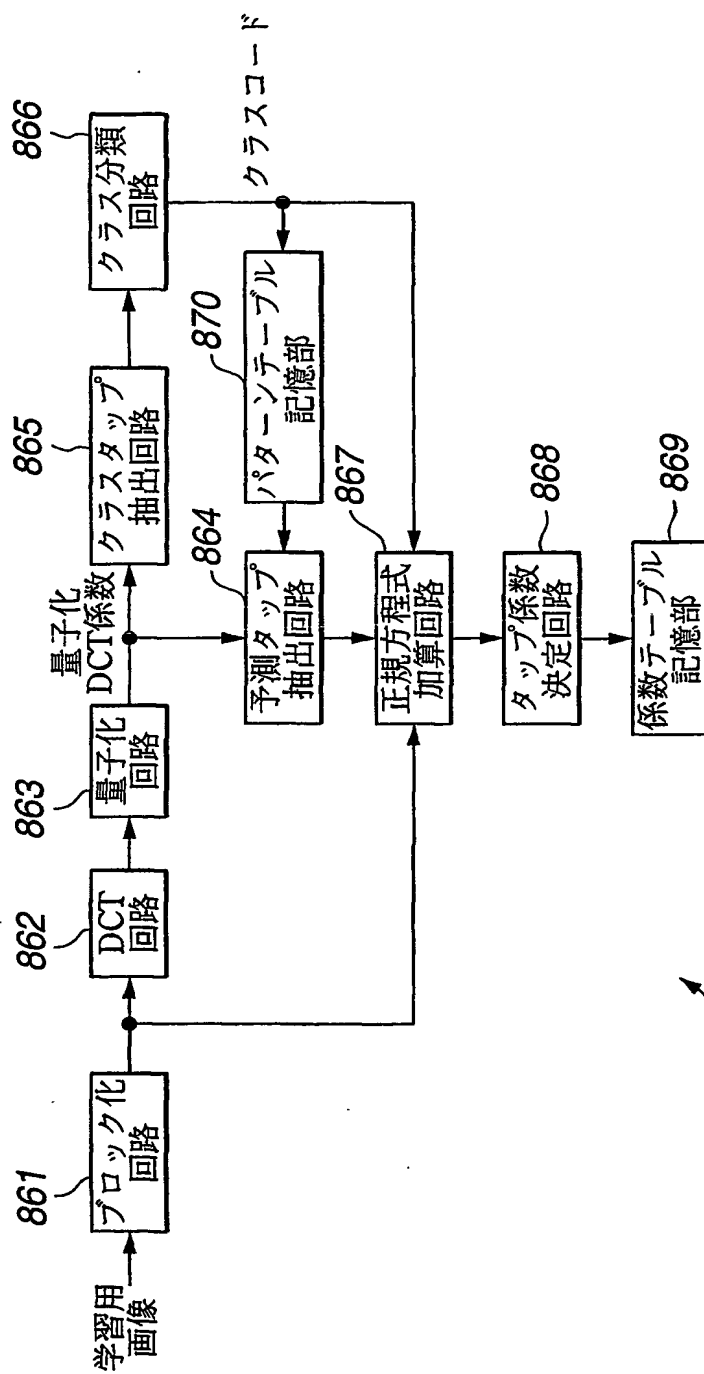


FIG.84

74/91

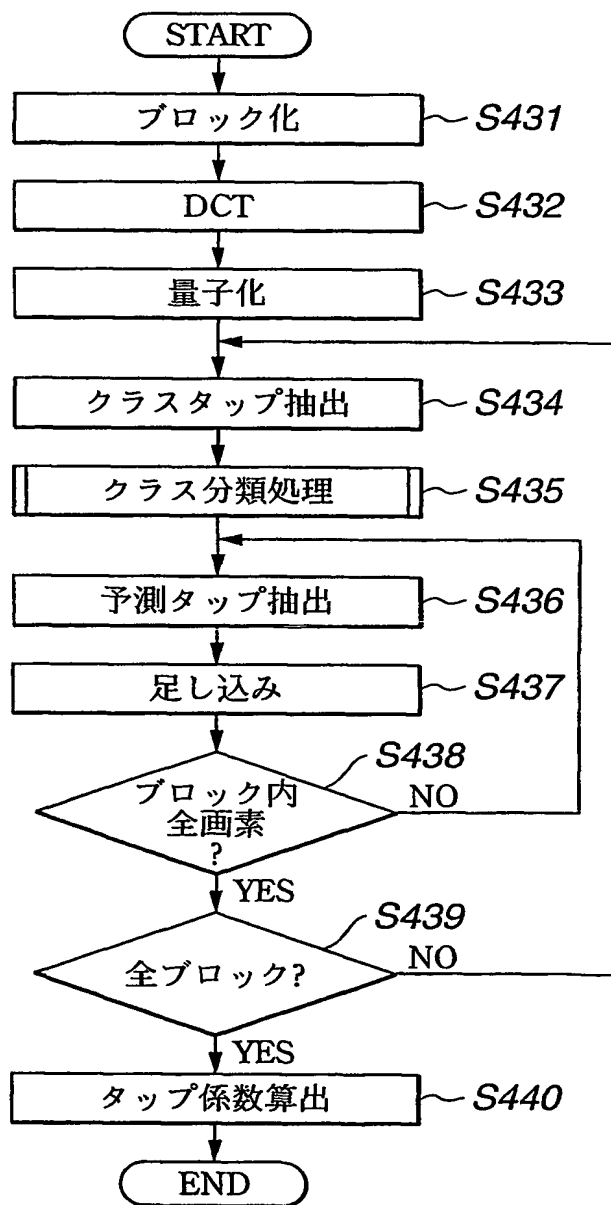


FIG.85

75/91

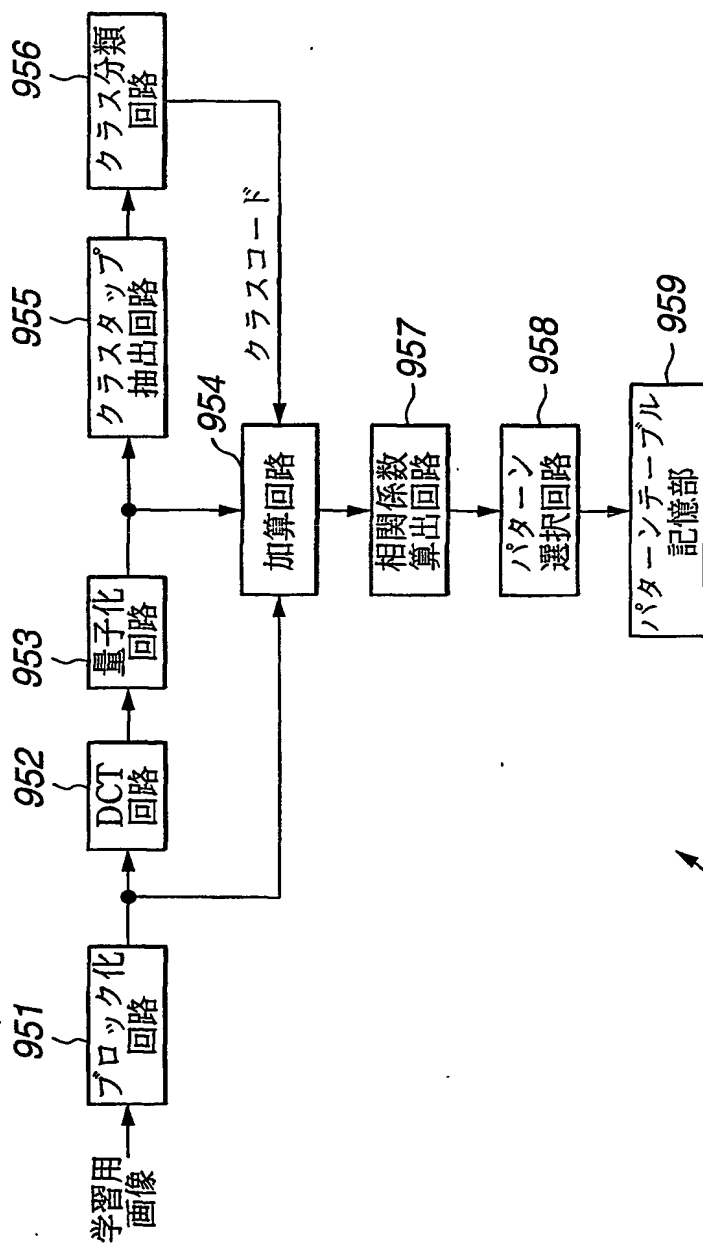


FIG.86

950A

76/91

FIG.87A

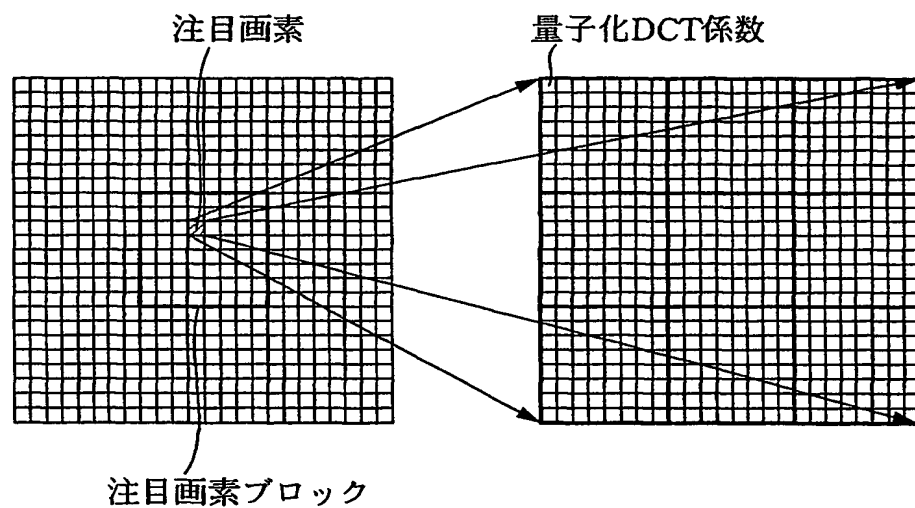


FIG.87B

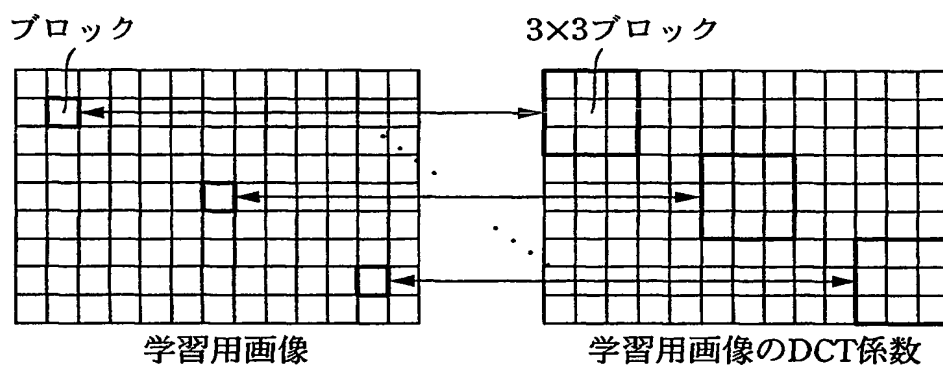
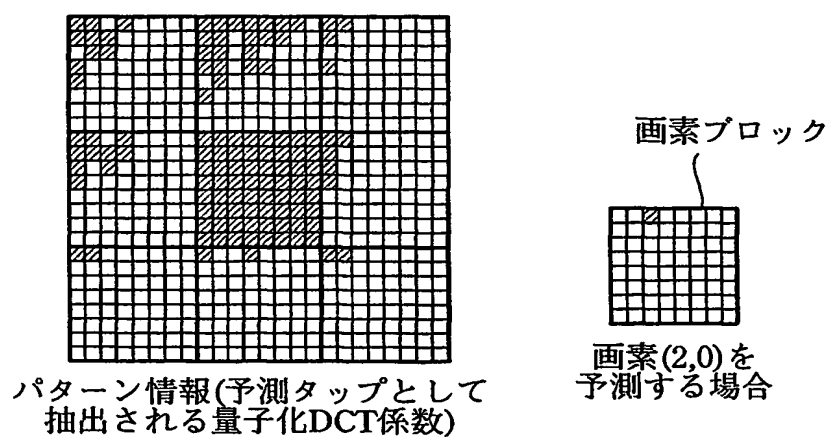


FIG.87C



77/91

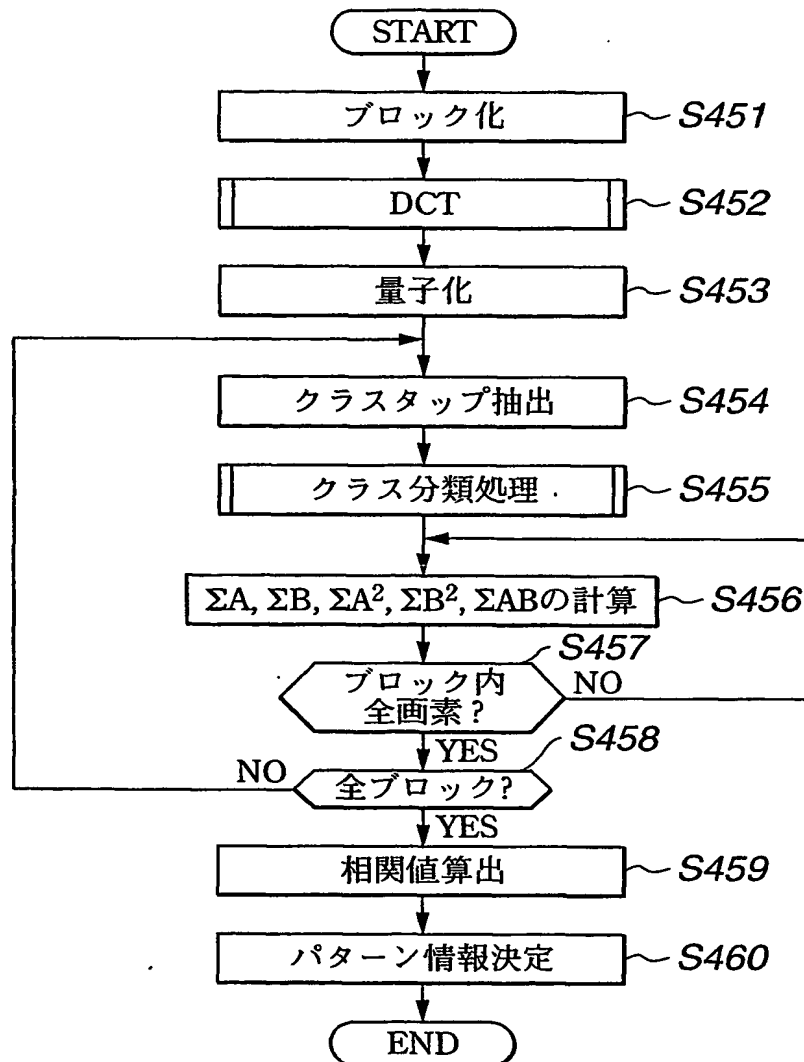


FIG.88

78/91

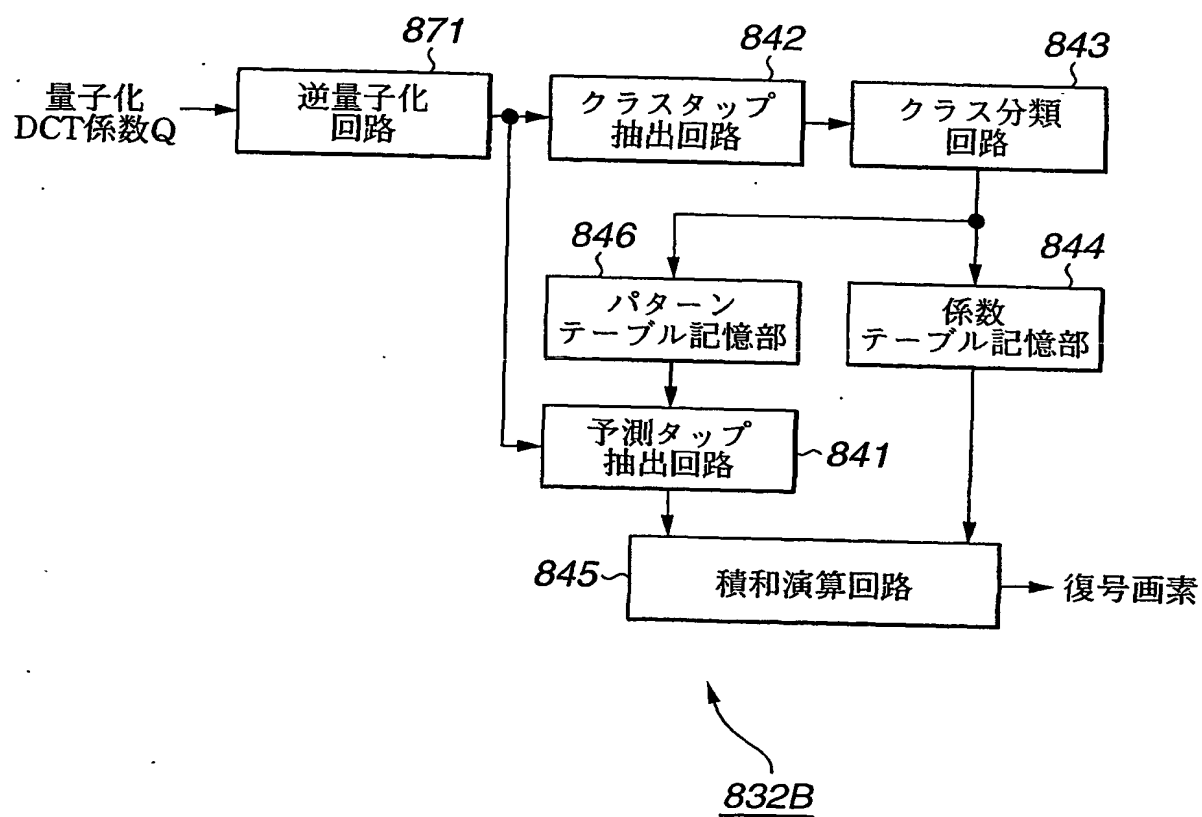


FIG.89

79/91

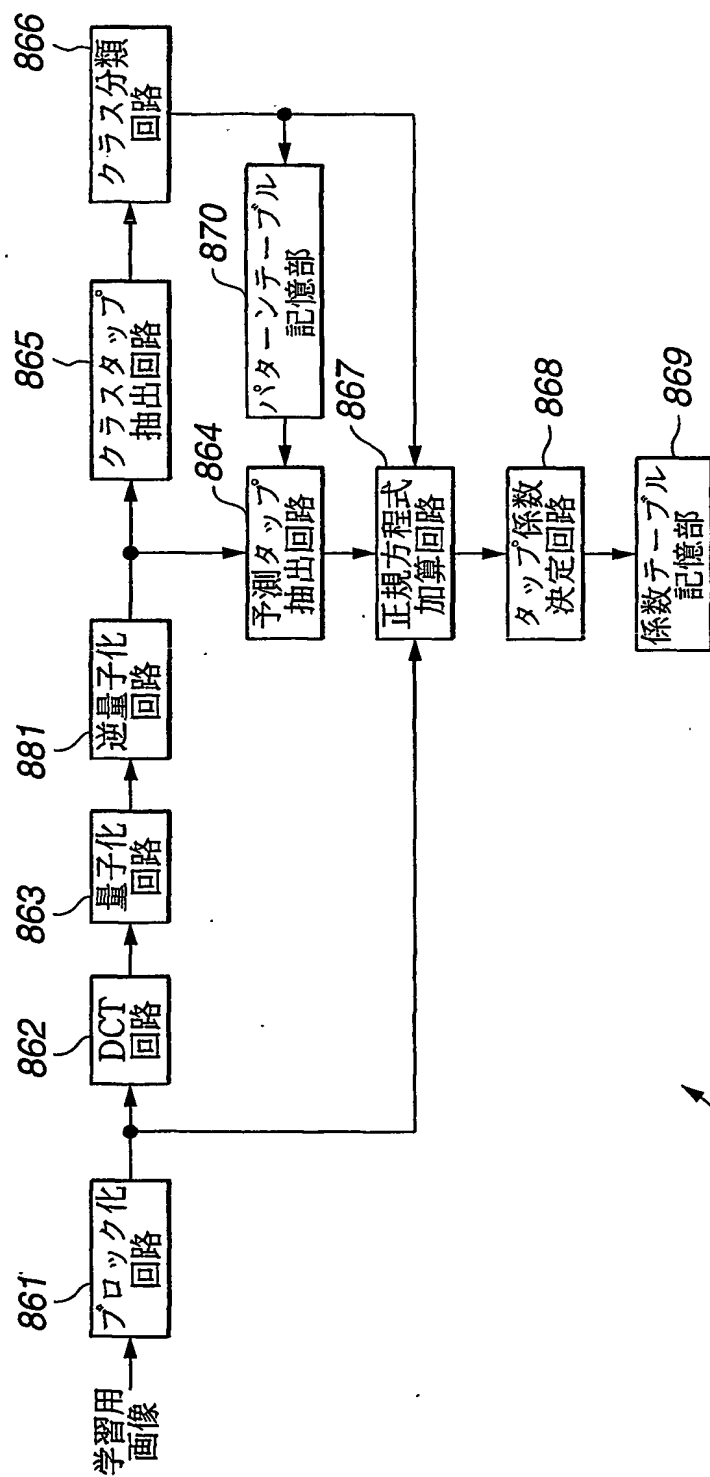


FIG.90

80/91

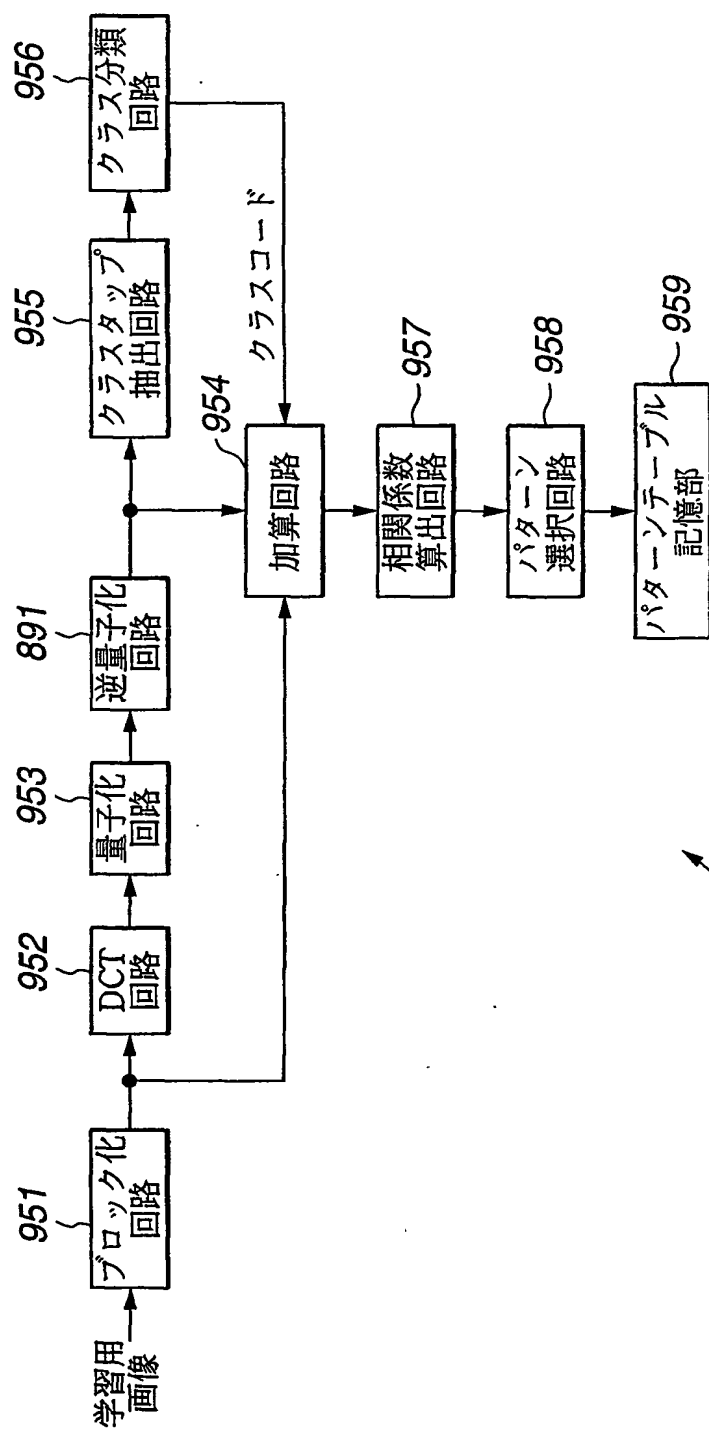


FIG. 91

950B

81/91

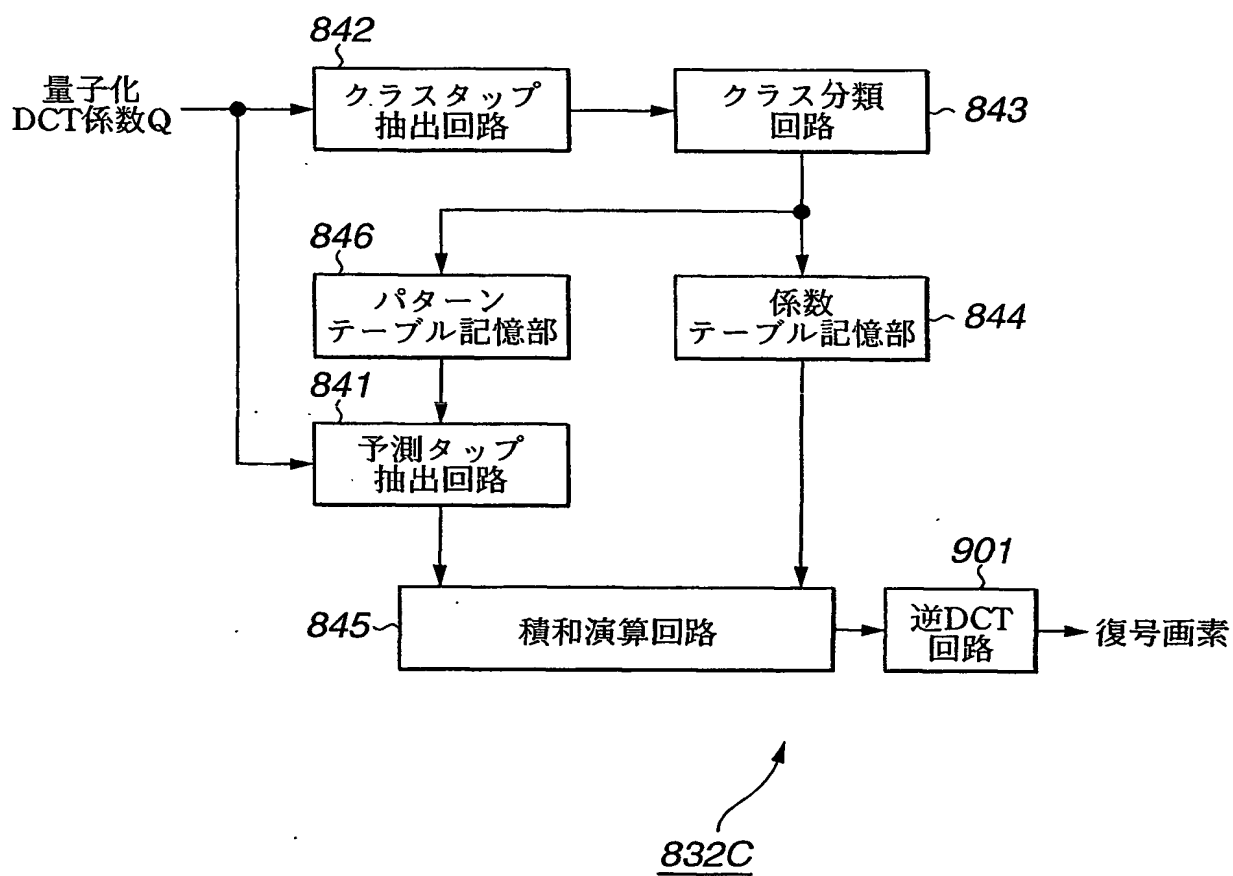


FIG.92

82/91

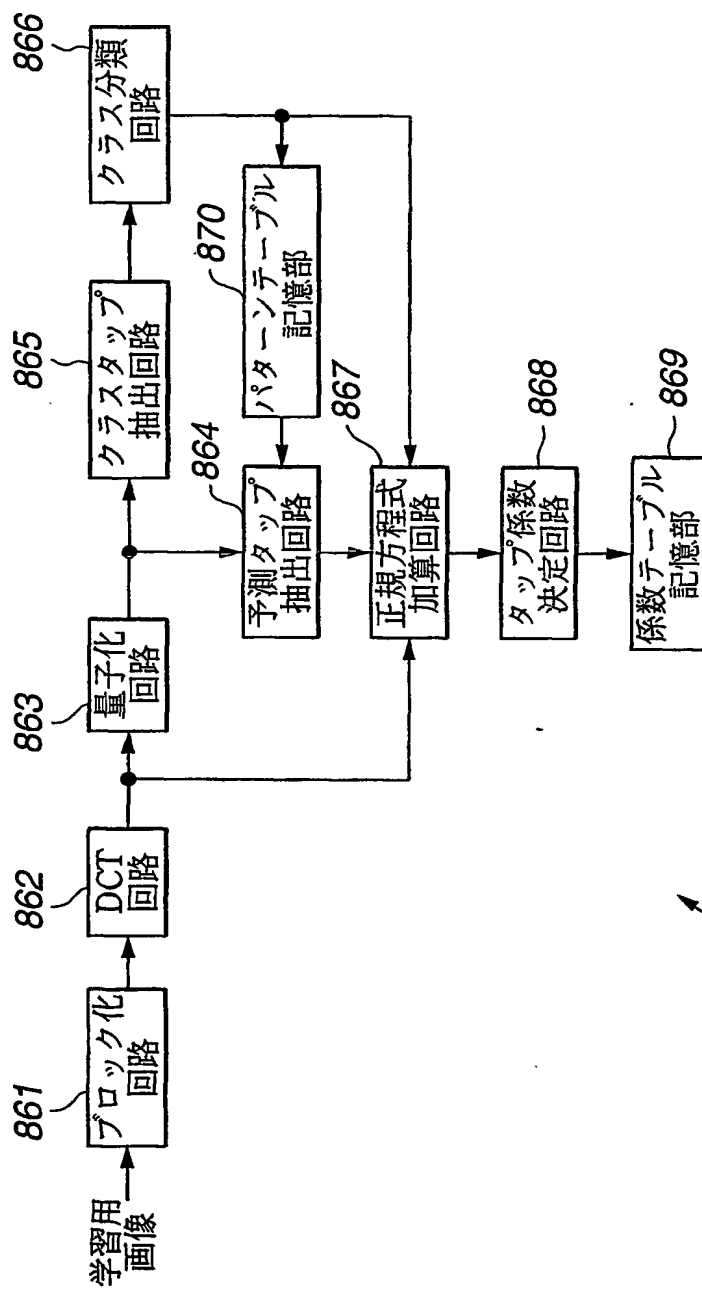


FIG.93

860C

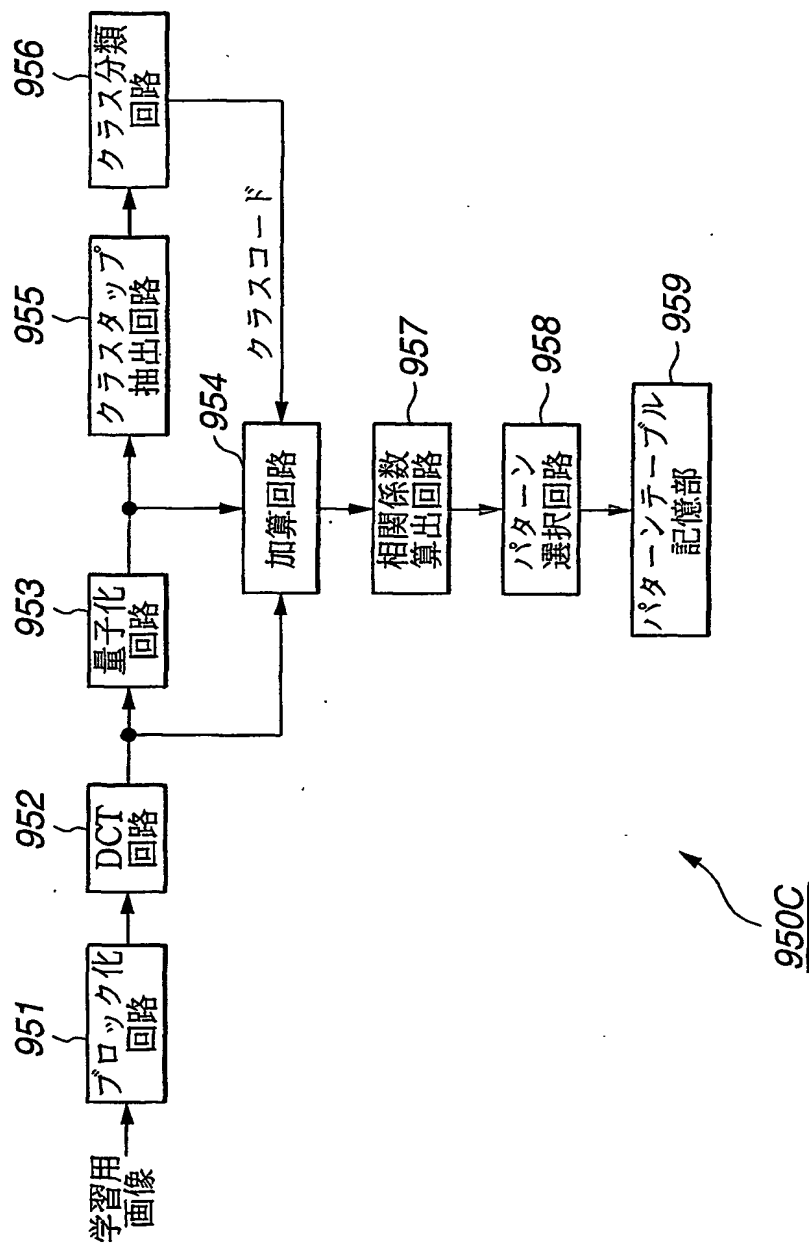


FIG.94

84/91

FIG.95A

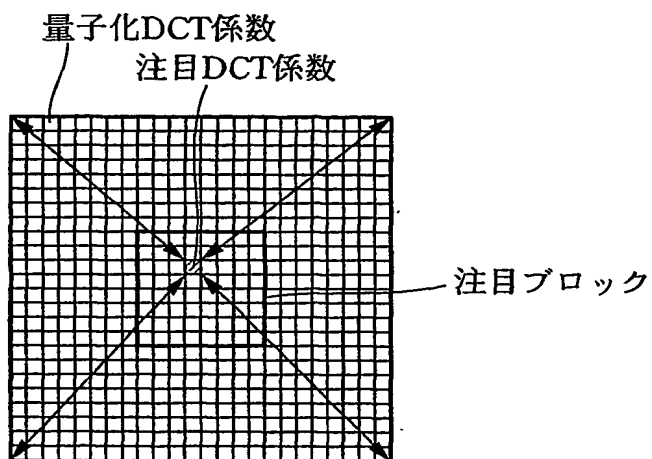


FIG.95B

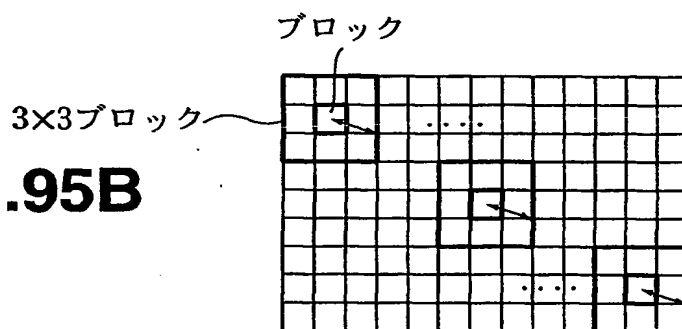
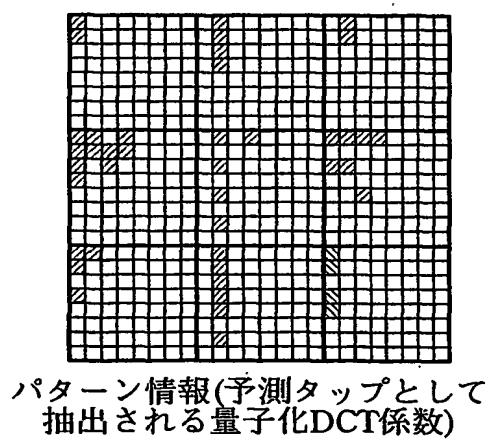
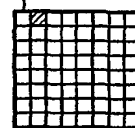


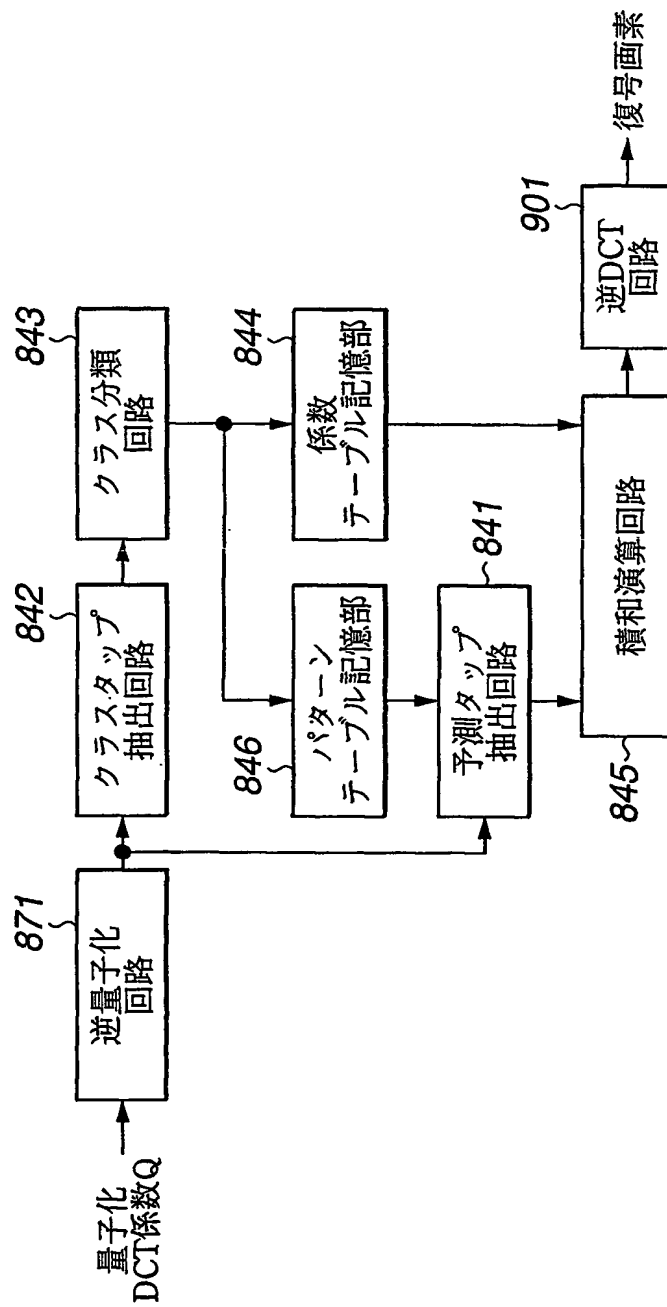
FIG.95C



DCT係数のブロック

DCT係数(1,0)を
予測する場合

85/91



832D

FIG. 96

86/91

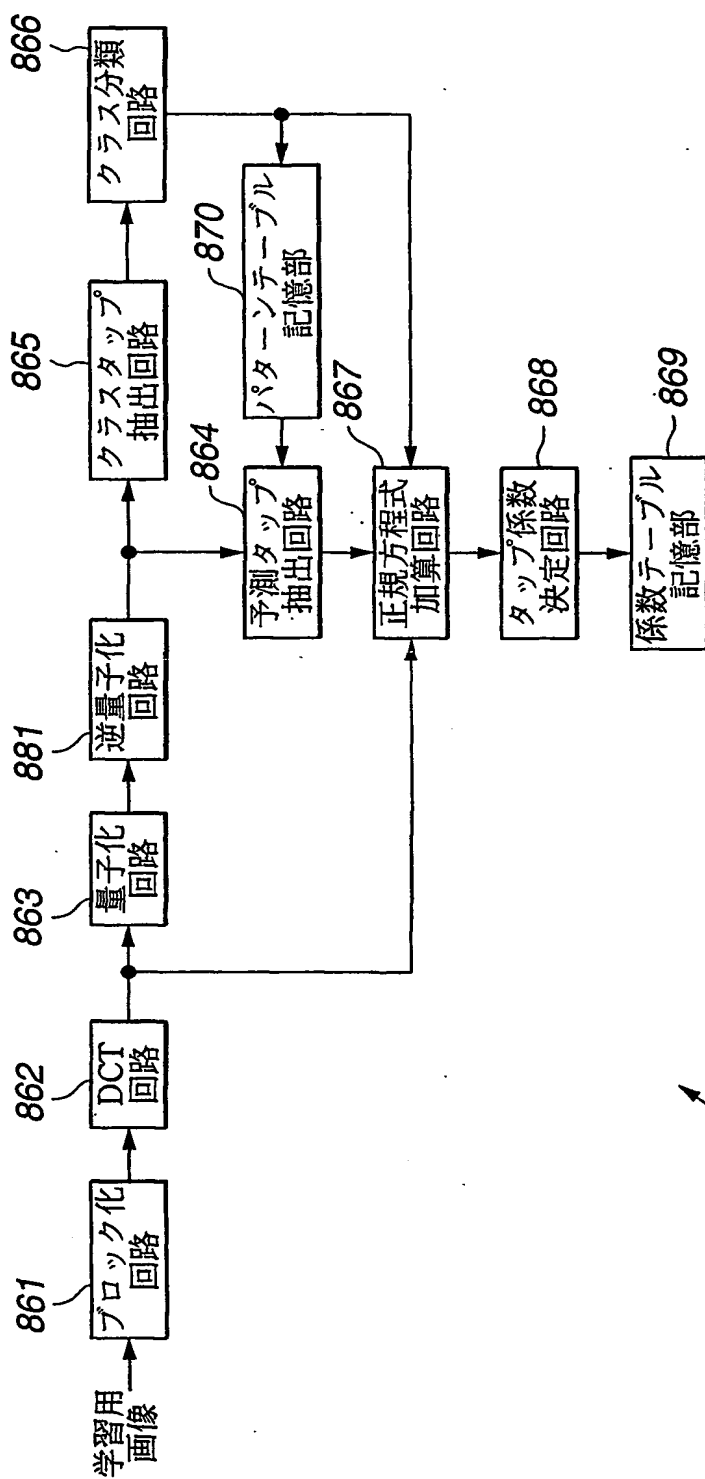


FIG. 97

860D

87/91

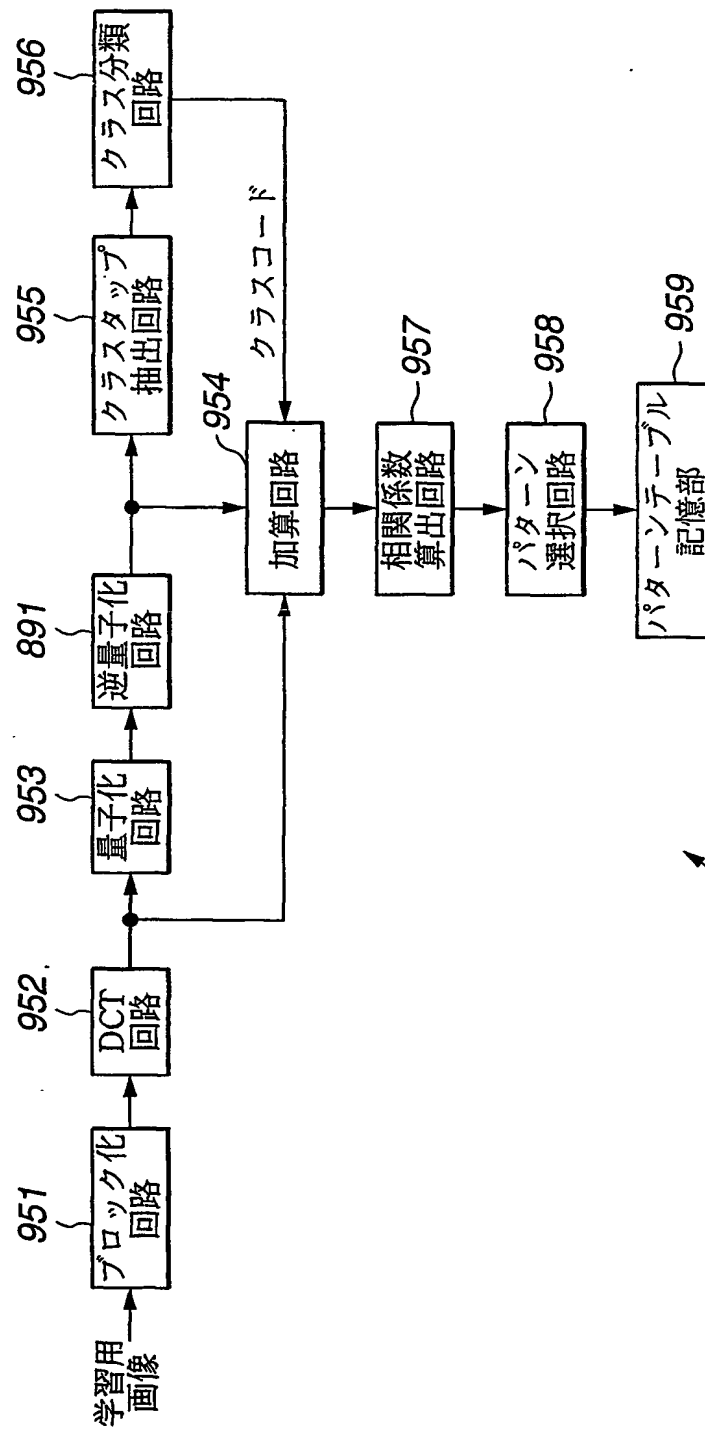


FIG.98

88/91

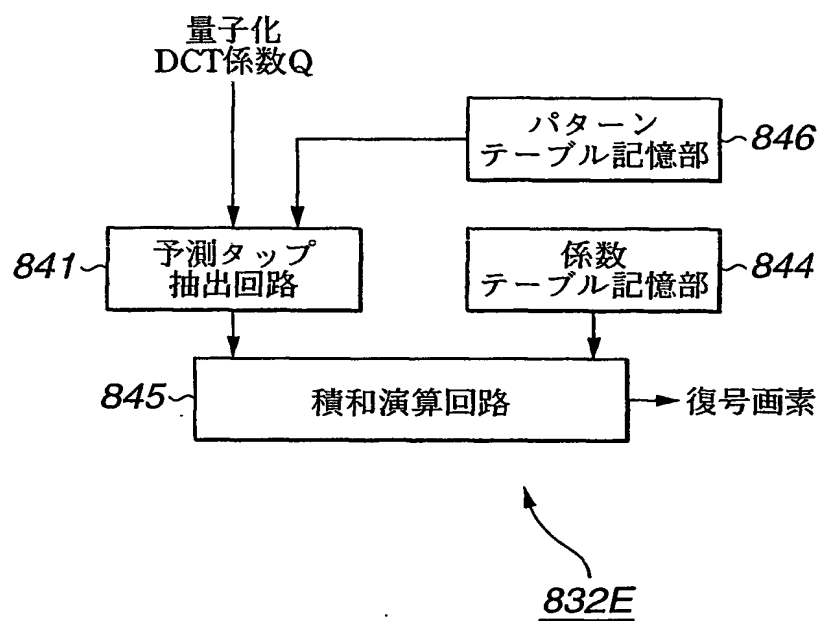


FIG.99

89/91

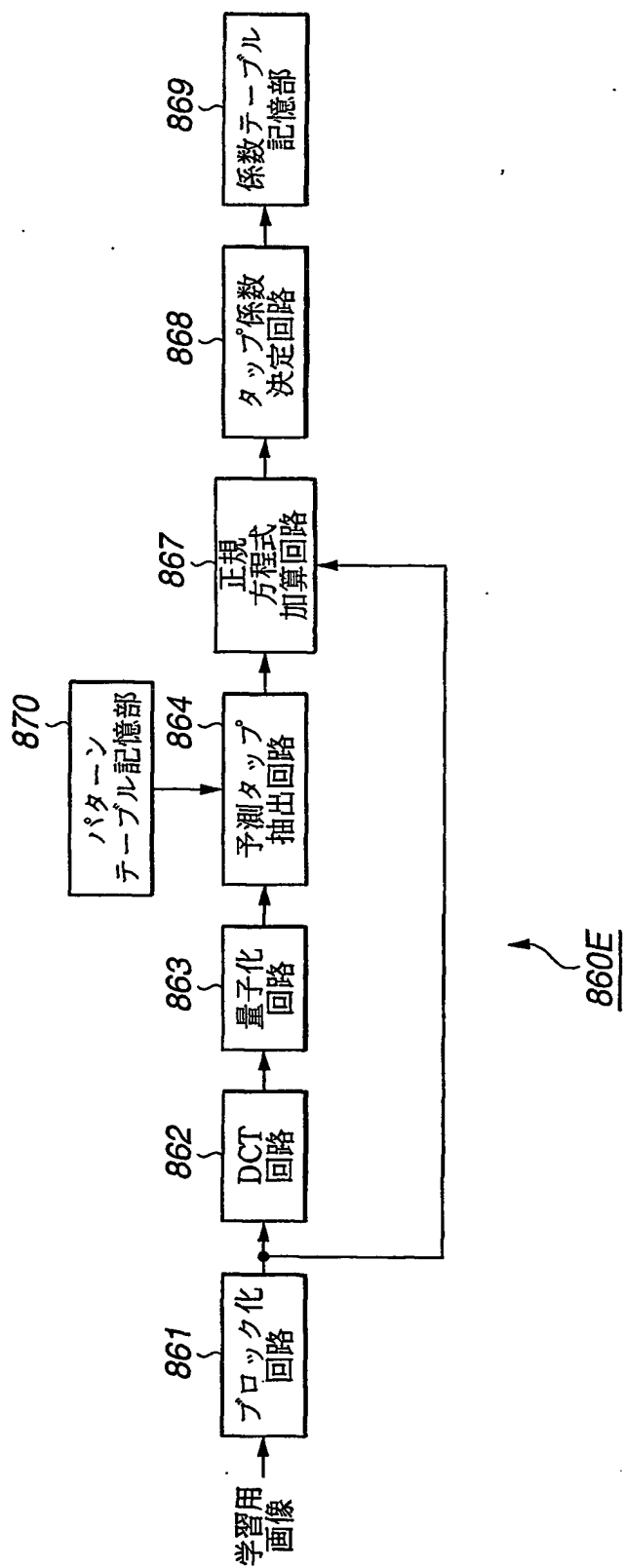


FIG.100

90/91

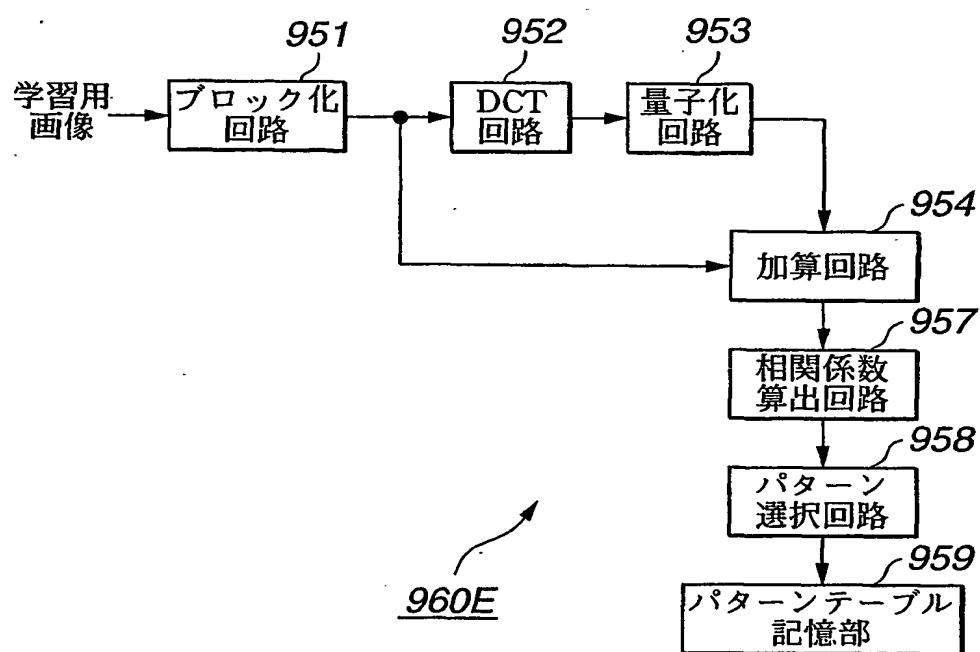


FIG.101

91/91

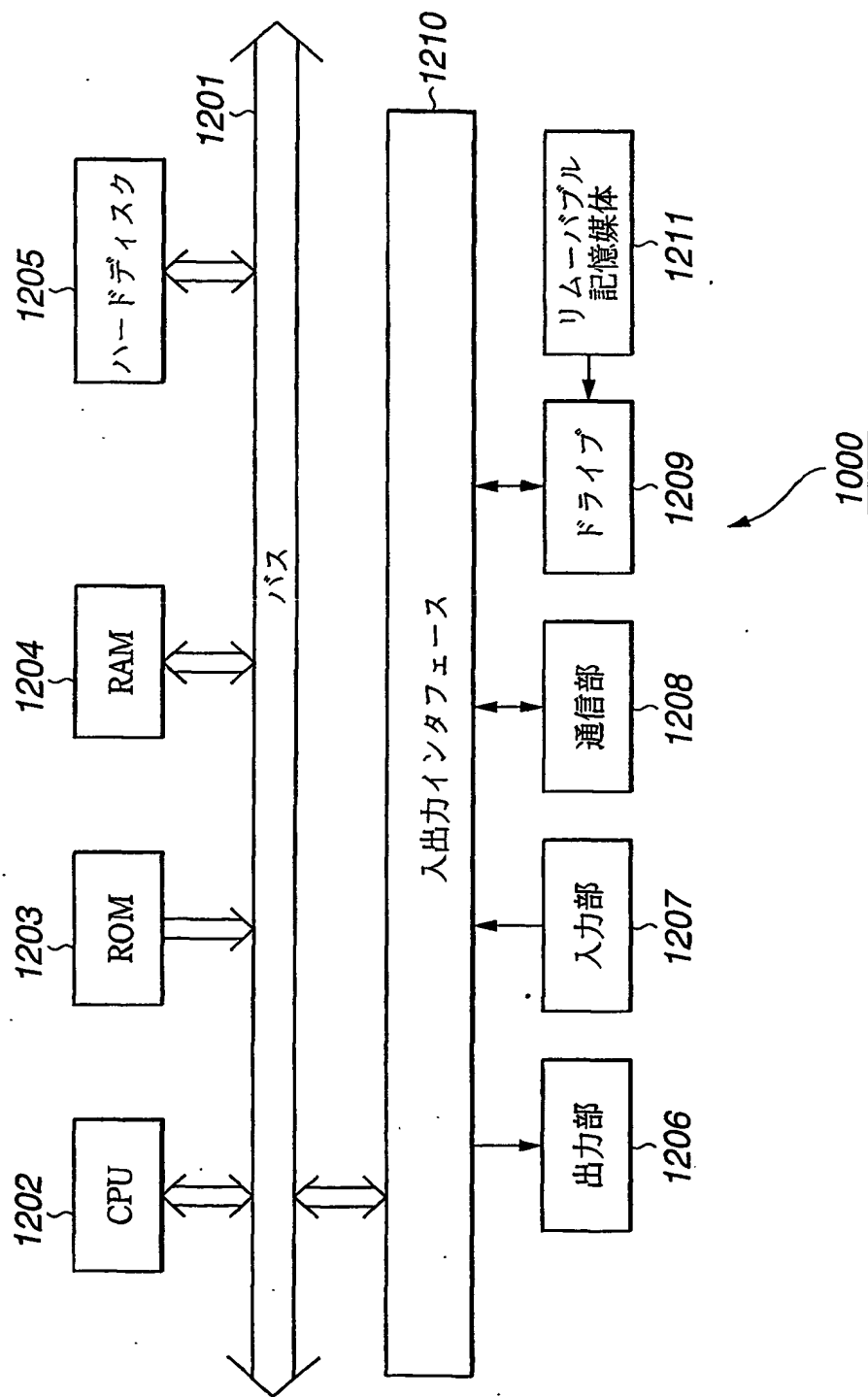


FIG.102